
Electronics for Particle Measurement

Hirokazu Ikeda

iked@post.kek.jp

School of Mathematical and Physical Science
The Graduate University for Advanced Studies

May 31, 2002

Abstract

The basics of an integrated circuit are described with special emphasis placed on a charge-measurement system. Starting with an outline of a fine CMOS technology, the discussion moves to a practical implementation of circuits.

Contents

1 Steps toward integrated circuit fabrication	1
1.1 Planning	1
1.2 Choosing a fabrication process	2
1.3 Circuit design	3
1.4 Mask layout design	4
1.5 Silicon process	6
1.6 Evaluation/Inspection	7
1.7 Screening	7
1.8 Packaging and assembly	8
A Notice	9

1 Steps toward integrated circuit fabrication

1.1 Planning

集積回路の機能、実装形態、及び使用環境等の中心的項目について定義を行うステップである。

これらの項目に加えて、開発期間、費用、人的資源、物的資源等の周辺の項目についても考慮する必要がある。周辺の項目が、中心的項目の実行に多大な影響を及ぼすことがあるからである。

選別・試験の方式についてもこの段階で考慮することが望ましいと思う。道具立て、及び回路設計において特別な工夫が必要になることがあるからである。

Before beginning a circuit design, it is usual to define the central issues concerning the functions of the circuit, the way of assembly and/or packaging, and the environment where the circuit is to work.

In addition to these central issues, we need to consider such fringe issues as the time for development, budget, man power, and tangible resources. Even the fringe issues put restrictions in more ways than one to realize the central issues.

It is advisable for one to thoroughly consider the method of die screening as well as the procedure of chip evaluation. You may find it necessary to require some special instruments and/or a built-in test mechanism in the circuit.

構想段階においても SPICE (アナログ回路シミュレータ) 及び Verilog 又は VHDL(デジタル回路シミュレータ) を有効に利用することができる。抽象的(機能的)な回路記述を用いて、回路シミュレーションを行う事によって、見落としを発見することができるからである。

なお、Verilog-A にも注目する必要があると思う。アナログ機能とデジタル機能を抽象的なレベルで一体的に取り扱うことができるからである。また、SC 回路^aを検討する場合には、むしろ、数学的なツールを用いた方が効率的であると思う。SPICE では、処理時間がかかりすぎて実際的でないことが多々あるからである。

^aスイッチによって容量の配置をダイナミックに構成することができるようになってきている回路をいう。一般には、z - 変換のテクニックを用いて解析することが多いと思う。

1.2 Choosing a fabrication process

開発において使用する半導体プロセスを決定するステップである。

開発対象と当該半導体プロセスの適合性を確認することが主たる目的となる(中心的項目)。同時にメーカー側の協力体制も重要な要素になると思う(周辺の項目)。

このステップにおいて、メーカーから素子パラメータ、及び IP ライブラリー^aの提供を受け、これらを用いて次の項目である具体的な回路設計を行うことになる。

^a一般には、知的財産のことをいう。ここでは、検証済みの再利用可能な回路ブロックの集合を意味している。

しかし、メーカーの提供する SPICE 用のモデルパラメータ、IP ライブラリーを特徴づけるパラメータが、開発対象の機能、又は使用環境に適合していない場合がある。

このような場合には、テストサンプルの提供を受けて、SPICE パラメータの抽出、IP ライブラリーに係るパラメータの再確認を行う必要がある。高温、低温、耐放射線、デジタル/アナログといったカテゴリーにおいて問題となると思う。メーカーは、自社の必要の限度においてのみ設計パラメータの抽出を行っているのが一般的だからである。

SPICE and Verilog (or VHDL) are very useful even in the planning stage. These circuit simulation software programs allow a functional description of the circuit to make it easy to find out an oversights, concerning on the fundamental concept of the circuit.

It may be convenient to use Verilog-A. Verilog-A has a special feature to totally manage an analog-digital-mixed circuit description in a uniform manner. If you are going to design an SC circuit, i.e. a switched capacitor circuit, it is preferable for you to employ a mathematical tool such as Mathematica, MATLAB, and so forth, rather than to rely on a circuit simulator. SPICE takes a very long time to handle switching transients, and sometimes makes it impractical to execute a complete simulation.

You cannot proceed the circuit design further without choosing a specific fabrication process, because the circuit performance is heavily influenced by the detailed characteristics of the transistors being employed.

There are two issues for your careful consideration. One is to make sure that the circuit you want to make is within the scope of the said fabrication process. At the same time, you may have some idea concerning a cooperative/uncooperative atmosphere/policy of the said company.

Once you choose a specific fabrication process for a certain semiconductor company, you must request to the company to provide device parameters, i.e. model parameters for SPICE, and IP libraries concerning reusable circuit blocks, such as I/O buffers. Then you can proceed to design a real circuit in practice.

It is often the case that the said SPICE parameters or the IP-specific parameters provided by the said company are not necessarily adequate for the target design.

In order to satisfy your requirement for the design, you can request the said company to provide samples for transistors and circuit blocks for the IP libraries. Under specific conditions, such as high/low temperatures, high/low radiation environments, or analog/digital applications, you can extract exact parameters that you want for your design.

なお、メーカーの「営業秘密」^aの開示を受ける事になるので秘守契約^bを締結するのが一般的である。契約違反は、一般に、利用許諾契約の解除の条件になるとともに、差止請求、損害賠償請求等の民事訴訟を提起される原因となることもある。積極的違反行為（故意）に限定されず、消極的な違反行為（過失）であっても免責されないことがある。

^a不正競争防止法上の用語であって、非公知性、秘密管理性、有用性が要件とされている。これらの要件を満たせば、技術的情報には限定されない。

^bNDA:Non-disclosure agreement

1.3 Circuit design

開発対象の機能を具体的に電子回路として実現していくステップである。

アナログ回路については、SPICE を使用するのが定石である。SPICE には、一般に、Diode、BJT、MOSFET、MESFET、JFET 等の素子モデルが組み込まれている。しかし、サブミクロンの MOSFET や、最先端素子についてはケース・バイ・ケースである。そこで、一般には、受注メーカーが日常的に使用しているものを用いるのが無難であると思う。Avanti^aの HSPICE は、その候補になり得ると思う。

^a2001年12月現在、Synopsys 社に買収されたという情報がある。

デジタル回路については、Verilog(又は VHDL)で回路機能を定義した後、人力、又は常套手段である論理合成の手法^aで具体的に論理ゲートによって構成された回路を発生させる。この時、IP ライブラリーとしてのゲートモデルが必要である。

^a例えば、Synopsys 社の Design Compiler

受注メーカーからゲートモデルの提供がない場合には、受注メーカーの協力を得て、当該ゲートに係る IP ライブラリーを整備する必要があると思う。設計の負担を高度に低減するとともに、製造段階での検証に資するところが大きいと考えるからである。なお、IP ライブラリーには、論理合成に係る適合性の他、一般に、当該回路ブロックに対応するレイアウトを附属させなければならないから、独自にこれを開発するとなると、負担は少なくない。

The technical information provided by the said company is under provisions of the fair-trade law. It is very common to make a contract concerning a non-disclosure agreement. Any irregular disclosure which does not conform with the contract is considered to be an unlawful conduct, which can result in a legal suit for big money.

In the step of circuit design, you struggle to implement the required functions with transistors, capacitors, and resistors.

In an analog circuit design, SPICE is an almost unique tool to help in your design work. SPICE has built-in device models such as diode, BJT, MOSFET, MESFET, and JFET. Some products, such as the inexpensive SPICE software, lack appropriate device models for state-of-the-art technologies, such as sub-micron processes. The best practice is to ask the said company which SPICE simulator they frequently use. HSPICE is such a candidate.

When you are going to design a digital circuit, Verilog (or VHDL) is a common language for designers. Once you make up a circuit in terms of Verilog, you can generate a gate-based circuit by Design Compiler, Synopsys. Design Compiler employs the IP libraries provided by the said company.

When the IP library does not include the necessary gate models for your design, you need to prepare your own IP library corresponding to the required gates. It seems to be a big burden at the beginning. Eventually, the effort saves your design period as well as makes it easy to verify the circuit design. In general, IP libraries are explicitly or implicitly associated with corresponding mask layouts. The layout work loads too heavily on your design work to make up everything in a reasonable time period. It is advisable for you to look for an appropriate design house.

最終的には、アナログ回路とデジタル回路を合体させ、SPICE の記述とし完成させる必要がある。後述のレイアウト設計の検証は、レイアウトから抽出された SPICE ネットリストと設計図としての SPICE ネットリストとの相互比較によるからである。

なお、素子パラメータは、worst、typical、best といった 3 種類の水準で提供される。デジタル回路の設計では、一般に、これら 3 種類のパラメータのすべてにおいて正常動作を確保できるように回路設計することが要請される。このような制約をかけることにより半導体製造プロセスにおける製造条件が限界までずれ込んだとしても良品を確保できることになる。しかし、アナログ回路においては、デジタル回路の場合のようにきつい条件を要請すると、設計コストが発散するような事態が有り得る。そこで、最初から、例えば、worst、typical、best それぞれのパラメータに最適化された 3 種類又はそれ以上の回路を同時に作り込むことも行われる。この技法を「水準を振る」という。

高温/低温用の回路では、温度をパラメータとした水準というのもあり得ると思う。高温/低温用に最適化した回路については、直接的にウェハーレベルでのイールド検定を行うことができないから、常温に最適化した回路を別途作り込むということも有効である。

1.4 Mask layout design

半導体製造プロセスにおいて使用する露光マスクの原図を描くステップである。

露光マスクは、メーカーごとに独自の製造工程に依拠しているため、一般に、ここでもメーカーからデザイン・ルールの開示を受ける必要がある。従って、ここでも、NDA を締結することになる。論文への、レイアウト図の掲載の際には、受注メーカーの「事前の了解」が必要となることがある。

No matter whether your design is for analog or digital, the circuit must eventually be prepared as a SPICE netlist. In order to find faults concerning a layout design, a netlist extract from the layout is compared with the circuit design in terms of the SPICE netlist.

The SPICE parameters provided are separated into three subsets: worst (slow), typical, and best (fast). As for a digital circuit, it is quite common to be required that your SPICE design should work for all of the subsets. This means that the circuit design is immune from any possible off-centered procedure for a semiconductor fabrication process. As for an analog circuit, such a tight requirement as in a digital circuit is sometimes impractical to inflate the design cost. One solution is to simultaneously design a few circuits, each of which is appropriately tuned for any one or two subsets of the SPICE parameters. This method for a risk-hedge is called "leveling".

If you are interested in a circuit which is to be used in a high/low temperature location, it would be a nice practice to design a room-temperature version together with the target version. Then, it would allow you to verify the circuit design on a probe-station at room temperature.

Before bringing your design into a silicon foundry, the circuit is translated into a mask layout to be employed for a photo-lithography at the silicon process.

The design rule for the mask layout is to heavily rely on a particular fabrication process of the silicon foundry. We need to ask the silicon foundry to provide a design rule for the mask layout of a specific silicon process. We again make a non-disclosure agreement contract concerning the design rule of the mask layout. An agreement of the said company may be required before submitting a paper in which the layout of the circuit is explicitly employed.

しかし、デザイン・ルールに明記されていること以外にも通常多くの技法が隠されているので、できることなら、メーカーの協力を仰ぐのが良いと思う。サブストレートコンタクト、ウエルコンタクトなどの密度は、ラッチアップ耐性との関係で重要である。また、配線層にスリットを入れて応力割れを防止する方法もある。これらは、個々の半導体プロセスに特有の必要的技法でありながら、デザインルールに反映されていない項目であることが有り得るからである。さらに、静電破壊に対する耐性、耐放射線設計等もノウハウ^aに属する事項であって、デザイン・ルールに明示的に反映しきれていないことが多いと思う。

^a技術に関する営業秘密、および、営業秘密の要件を必ずしも満たさないけれども、それに準じた技術情報をいう。

ただし、フロアプラン^aといわれるステップにおいては積極的に関与する必要がある。アナログ/デジタル間の干渉や、信号チャンネル間のクロス・トークを回避する必要性については、受注メーカーでは、それを探知することにそもそも動機が働かないことがあるからである。

^a部品としての回路ブロックを全体としてどのように配置するかという問題を解決することをいう。

レイアウトのステップにおける最終の作業は、DRC 及び LVS といわれる検証作業である。

DRC は、デザイン・ルール・チェックといわれるものであって、作図上の要求を満足しているか否かの確認及び必要な修正を行うものである。具体的には、配線の幅、配線間の距離、素子、又は打ち込み領域間のクリアランス等が対象となる。

LVS は、レイアウト・バーサス・スキマティックといわれるものであって、既述のように、回路設計によって発生させた SPICE ネットリストと、レイアウトから抽出した SPICE ネットリストとをつきあわせて、一致、不一致を発見し、必要な修正を行うものである。

DRC は、メーカーだけの関与で完遂することができると思うが、LVS については、回路設計担当の開発者の関与が有効であると考えられる。レイアウトから抽出された SPICE データには、付随的にたくさん抵抗、容量、さらに、場合によっては予想外のトランジスタが含まれていることもある。これらの付随的素子が、本来の回路の動作を阻害することも有り得る。そこで、レイアウトから抽出された SPICE データを用いて回路動作の検証を行うと共に、開発者において、再設計の要否についての判定をする必要が生ずるからである。

The design rules provided by the said company do not necessarily cover everything about the design practices. It is understood that there are hidden many implicit design practices under explicit design rules. You may ask the said company, if it is allowed, to conduct the layout work, since the foundry division of the said company is continuously refining the design rule as well as improving the silicon process. The up-to-date issues might not be explicitly described in the design rule document at hand. Issues such as an electro-static damage-protection scheme, and a radiation-hardened design presumably rely on non-theoretical practices; they are called "know-how".

We need to be fully involved in the floor-planning. Layout experts know very well about the design rule, itself, and common commercial circuits which they frequently manage. Analog circuits, or more specifically, detector-oriented front-end circuits are usually not their concern. You need to raise their attention concerning a digital-to-analog interference, channel-to-channel cross talk, or a possible irregular feedback. They might not be motivated to consider these issues from the first.

The last and most important steps of the layout work are DRC and LVS.

DRC stands for design-rule-check; DRC verifies the conformance of your design to the design rule, such as widths of aluminum traces, distances between the traces, clearances between devices and/or areas for implantation, and so forth.

LVS stands for layout-versus-schematic; LVS verifies conformance of your design to the SPICE netlist of your circuit design. Any differences are subject to necessary corrections.

DRC is usually routine work for layout experts. We can fully rely on their ability. LVS is, on the other hand, not straight forward. You may find unexpected transistors and stray capacitors/resistances. You, the circuit designer, should distinguish fake devices/elements from those originally taken into the circuit. Even the fake/stray elements may affect to the proper operation of the circuit. You need to identify whether those elements are negligible or not.

しかし、この作業は、一般的には、大変な消耗戦になることがある。そこで、一部分の回路を削除してサブセットを構成するような技法を用いて、困難を回避することも行われている。

受注メーカーにレイアウトを依頼する場合においては、レイアウトツールや大型プロッタを設備することの要否が問題となる。最低限の設備は必要であろうと考える。必要とする部位の図面を必要な縮尺で、しかもレイヤーを正確に区別することなしには、最終的な検証が達成できないからである。例えば、電源やグラウンドの配線層は、 $100\ \mu\text{m}$ を超える配線幅のものから、最小線幅のものまであって、それらに係る不具合は、DRCやLVSによる検証によっても容易に見過ごされてしまうことがある。そこで、レイアウトツールのディスプレイと大型プロッターによる出図を相補的に利用して、人力による検証も補足的に行う必要があると考える。なお、レイアウトは、GDSIIといわれる形式のファイルで交換されるので、このファイル形式を、読み込み、表示し、出図する機能を持つツールが必要である。

1.5 Silicon process

レイアウト設計に沿った半導体回路を作り込むステップである。

レイアウト設計での原図を基にして、露光マスクを制作します^a。露光マスクは、適宜、半導体プロセスの各ステップにおいて使用される。

^a例外的に電子ビーム直描という手法がとられることがあるが、試作に限定されるものと考えて良いと思う。

半導体プロセスの検証には、各ステップごとの検証、と全行程の終了後の検証とが有り得る。いずれもPCM(プロセス・コントロール・モニター)といわれる小規模かつ複数の回路素子の特性を確認することにより、工程ごとの正当性をサポートするためのものである。これらは、メーカーの裁量において用意され使用されるものであるが、出来上がり状態でのSPICEパラメータの抽出にも用いることができるものである。また、開発者が特に注意を要すると考える項目についてはメーカー側に対応を要請して特別なPCMの設計を依頼することも必要となるかも知れない。

It is usually a very tough business to conduct a SPICE simulation where fake/stray devices/elements are totally included. For the sake of a remedy, you may eliminate some parts of the circuit to squeeze the circuit size.

Since it is necessary to finally check out the layout design in a printed form, it is desirable to have a large plotting machine, such as Versatec, Calcomp, and so forth. A checkout on a CRT screen still works. Since the scale of polygons employed in the layout design covers from sub-micron to $100\ \mu\text{m}$ with about 20 drawing layers, it is very hard to check out without any fine-color display devices equipped with proper zoom-in/out capability. The most crucial point for a visual checkout is to find any inadequate ground/power wiring, since neither DRC nor LVS covers such faults. The narrow and resistive wiring easily kills proper operation of the entire circuit. The layout design is delivered in a data format, called GDSII, which is a de facto standard from the original design system, CALMA. You need at least to read-in and display the GDSII data on your CRT screen, and preferably to make a hardcopy of the screen view.

Silicon process is to fabricate the desired devices on the surface of a silicon wafer.

A photo-mask for a photo-lithography is fabricated based on the layout design. The original layout is separated into 15-20 mask data corresponding to associated silicon processes.

The proper procedure of the silicon process is intimately monitored for each step as well as at the final stage in terms of a PCM, i.e. a process control monitor, which is a group of specially arranged devices/elements, so as to characterize the performance of the silicon process. These devices prepared for the PCM could be usable to extract the SPICE parameters for the devices fabricated in the said silicon process. A special, user-specified, PCM may be accepted on your request when you think it is a mandatory part for your successful result.

1.6 Evaluation/Inspection

評価には、半導体プロセスの評価と回路設計の評価がありこれらは、密接に関係していることがある。

しかし、半導体プロセスは、一定の許容範囲に入っていればそれを咎めることのできない性格のものであって、許容範囲の広い回路設計になっていないことに非難が集中することになる。

そこで、回路設計の段階において、素子パラメータを許容限度で振ること(モンテカルロ法)により一応の確認を行える。また、既述の「水準を振る」ことにより、良品の出現率の確保を図っている。

しかし、そのカバレッジは、依然として、一般的には確定することはできないので、最終的には、半導体プロセスの出来上がり状態で評価を行う必要がある。

回路の評価は、具体的に不具合箇所を特定することが要請されるため、開発目的となっている回路全体を対象とすることは適切ではない。そのため、クリティカルと思われる複数の回路ブロックをあらかじめレイアウト上、独立に用意しておくことが望まれます。単にプローブテストのみで評価を行うのであれば TEG (テスト・エレメント・グループ) のカテゴリーで取り扱うことができるが、パッケージに実装して評価試験を行うことが必要であれば独立した集積回路としての体裁を整える必要がある。

1.7 Screening

選別とは、良品を選び出すステップをいう。

選別には、ウェハー単位での選別と、回路単体での選別がある。

ウェハー単位での選別では、半導体プロセス全体の終了をまたずに、PCMの結果にもとづいて、各工程ごとに不良ウェハーを廃棄していく。

An evaluation step consists of two parts: one concerns the silicon process itself; the other is related to the circuit design. These two issues are sometimes related to each other.

Since the silicon process is not condemned as long as passing through a GO/NOGO test employing the PCM, the circuit design is easily blamed for not conforming to the designated worst/typical/best SPICE parameters.

A Mote-Carlo technique, which statistically scatters the SPICE parameters in a predetermined range, is helpful to certify the robustness of the circuit to the silicon process. The leveling, which is already described in the previous section, enhances the "yield", i.e. percentage of good products versus entire products.

Even after the elaborate checkout procedures there still exist some uncertainties as to whether the fault-detection coverage is sufficient enough or not. We eventually need to evaluate finished wafers to find out any possible malfunctions of the circuit.

It is not recommended to employ a whole circuit to pin-point the exact location of failures of your design. If there appears to be no signal at the output terminal, you have no way to proceed further. In order to examine the circuit in a step-by-step fashion, it is a practice to prepare some small circuit blocks, i.e. called TEG (test element group), whose critical nodes are so arranged to be monitored by an external instrument. These TEG circuits could be examined by a needle probe, or in the usual way after being packaged.

The step of a screening is to separate good chips from bad ones.

The selection is conducted either on a chip-by-chip basis or on a wafer basis.

Bad wafers are discarded for each silicon process based on the PCM evaluation.

回路単体の選別では、プローブカードを用いて、明白な欠陥を有する回路ブロック（集積回路の単位）にマークを付すことにより不良品を良品から区別します。選別内容のカバレッジは、アナログ/デジタル、回路規模、試験機能の有無等により完璧なものから低レベルにどどまるものまで様々有り得る。

最低限の試験項目としては、電源電流の異常の有無、入出力のアナログ電圧、論理回路であればH/Lのトグルの確認を挙げることができる。

通常は、上記項目に加えて、デジタル入力パッドにテストベクターを与えて、各タイムスロットでの出力信号（アナログ電圧、デジタルH/L(or Hi-Z)等）の正常応答を確認することにより選別を行える。

テストベクターは、論理回路シミュレーターで合理的に調整することにより、フォールト・カバレッジをできるだけ確保するようにする。デジタル回路では、すべての内部ノードを必ずトグルさせることが一つのメジャーになり得る。しかし、アナログ回路においてはケース・バイ・ケースである。前置増幅器を含むアナログ回路等では、ほとんど絶望的な場合も有る。環境雑音により、増幅器が飽和してしまうからである。

1.8 Packaging and assembly

組立て実装工程は、集積回路の切り出し、パッケージング（ダイ・ボンディングとワイヤー・ボンディング）、及びボンディング等の接続個所の確認工程とから構成されている。

接続個所の検証は、通常パッド部に作りこまれた保護ダイオードの応答を確認することにより行える。

JTAG 規格によるバウンダリー・スキャン・テスト^aの手法にも注目する必要があると思う。規格に基づいた構成を採用することによって、JTAG-IPの利用、テストツールの調達、さらには、テストベンチの共通化などにおいて利益を享受することができるからである。

^aH. Bleeker et al., "Boundary-scan Test", Kluwer Academic Publishers, ISBN 0-7923-9296-5 に詳しい解説がある。国内では、アンドールシステムサポートというところで製品の開発を行っている。http://www.sys-andor.co.jp/を参考にしてください。

The chip-by-chip selection is conducted on a probe station to find out any apparent defect; the bad chips are marked by a scratch or stained with a drop of ink. As for a digital circuit, the efficiency of screening is virtually 100%; on the other hand, as for an analog circuit, bad chips may escape to be rejected in the screening procedure; this means that the screening efficiency for an analog circuit is case-by-case, depending on its circuit size, complexity, provision of a built-in test capability and so forth.

The minimum screening items will be to check the power supply currents, voltages at the input/output terminals, H/L voltages for digital circuits, and so forth.

In a more formal test, we usually apply sort of test-vectors, i.e. H/L or Hi-Z, at the input terminals to examine the associated responses at the output terminals. The good ones will respond as was confirmed in the design procedures with SPICE or Verilog(VHDL).

The test vectors can be arranged so that any internal nodes may toggle at least once during the testing procedure; it will enhance the capability to detect hidden defects. To use a method similar to the test vector is sometimes almost impossible for an analog circuit to deteriorate the fault coverage of the screening. Some type of amplifiers are easy to be saturated by an environmental electro-magnetic noise around the probe station.

A packaging and assembly step comprises dicing, die bonding, wire bonding, and confirmation of the connection between pads and package pins.

The connections between the pads and pins are established by examining the response of protection diodes which are built-in in the neighborhood of the bonding pad.

A BST technique, i.e. boundary scan test, supported by JTAG standard is a state-of-the-art practice to conduct a testing procedure. The BST is realized with a complex of built-in circuits and external operation software. For a large-scale analog/digital circuit, the BST/JTAG scheme will virtually be a unique solution for an evaluation/screening and even for a control purpose of the entire circuit.

特に、ピクセル検出器のように、多数の読み出しセルにシリアルにアクセスするようなシステムでは、チップ上のアーキテクチャーとしても考慮の対象のひとつであると考える。

As for a pixel detector application where there exists millions of readout channels, JTAG specification is a working example to provide a scheme for serial control and data acquisition.

A Notice

講義に期間中にいくつかレポートの提出をお願いすることにしたいと思います。レポートは、成績表を作成する際の参考資料とします。課題ごとに1ないし2ページにまとめて下さい。できるだけ次週の講義時間までに提出下さい。もっとも、前期の講義期間が終了するまでに提出いただければ有効とします。

最初のレポートのタイトルは以下のようです。

レポート課題 (1)

集積回路と個別素子による回路の相違点を列挙して、それぞれについて簡単に議論して下さい。

I would like to ask you students to submit several papers concerning assigned subjects. The reports are considered to make up a report card for your score.

It is recommended to squeeze the description into 1-2 pages. Students are encouraged to submit the paper in one week. A later submission during this semester is still valid to be considered for your report card.

The first subject is as follows:

Subject for report (1)

List your ideas concerning differences between integrated and discrete circuits, and provide a brief discussion for each list.

以上