
Electronics for Particle Measurement

Hirokazu Ikeda

ikedada@post.kek.jp

School of Mathematical and Physical Science

The Graduate University for Advanced Studies

June 21, 2002

Abstract

The basics of an integrated circuit are described with special emphasis placed on a charge-measurement system. Starting with an outline of a fine CMOS technology, the discussion moves to a practical implementation of circuits.

Contents

4 Reference circuit and current source	1
4.1 Power rail	1
4.2 Reference circuit	2
4.3 Example circuits	4
4.3.1 Power-on-reset circuit	4
4.3.2 Analog multiplexor	6
4.3.3 Low-voltage differential driver	7
4.3.4 Low-voltage differential receiver	10

4 Reference circuit and current source

4.1 Power rail

電源レールの設定は、回路構成にとって基本的な制約となる。すなわち、電源レールの設定によって回路設計の方針が大きく左右されることが多い。

アナログ CMOS 集積回路においては、デジタル信号のインターフェースの便宜を考慮して、GND 電位を V_{ss} として設定し、 V_{dd} の電位を供給する単一電源方式をとることが一般的である。

しかし、この方式によると、特にデジタル信号とのインターフェース回路を経由して基準電位としての GND に変動する電流が流れるため、いわゆるグラウンド・バウンスの問題を生じ易い。

そこで、ここでは、いわゆる二電源方式を採用することとした。すなわち、 $V_{ss} = -2.5\text{ V}$ を最低電位とし、 $V_{dd} = 2.5\text{ V}$ を最高電位とし、さらに、その中間にある GND 電位を基準電位として用いることを考えている。したがって、GND の電位に結線される配線には、極力交流的な電流を印加しないことを原則とする。

Each design of an integrated circuit is constrained by a power-rail requirement, which heavily affects a principle for the circuit design.

In an analog-digital mixed-circuit design, it is quit common to choose a single-supply configuration: V_{dd} is fed into a circuit employing the GND as its power return. The single-supply configuration is beneficial to a digital signal interface.

A side-effect of the single-supply interface is a possible ground bounce induced by digital interface circuits. The ground line provides a reference voltage for analog circuits, while it is at the same time a signal return for digital circuits.

In order to minimize possible interference between analog and digital circuits, we choose to employ a two-supply configuration: V_{dd} is set to 2.5 V, V_{ss} is set to -2.5 V, and in principle the GND line, which is located mid-point between V_{dd} and V_{ss} , does not flow any AC current.

4.2 Reference circuit

基準バイアス回路とは、各回路ブロックにおいて用いられている定電流源の電流値を設定するための基準電圧を発生する回路である。

図 1 に、簡単な基準バイアス回路をその回路図上のシンボルとともに示した。

A reference circuit is used to provide a reference voltage for current sources employed for each circuit block.

Fig. 1 shows a simplified CMOS reference circuit together with its schematic symbol.

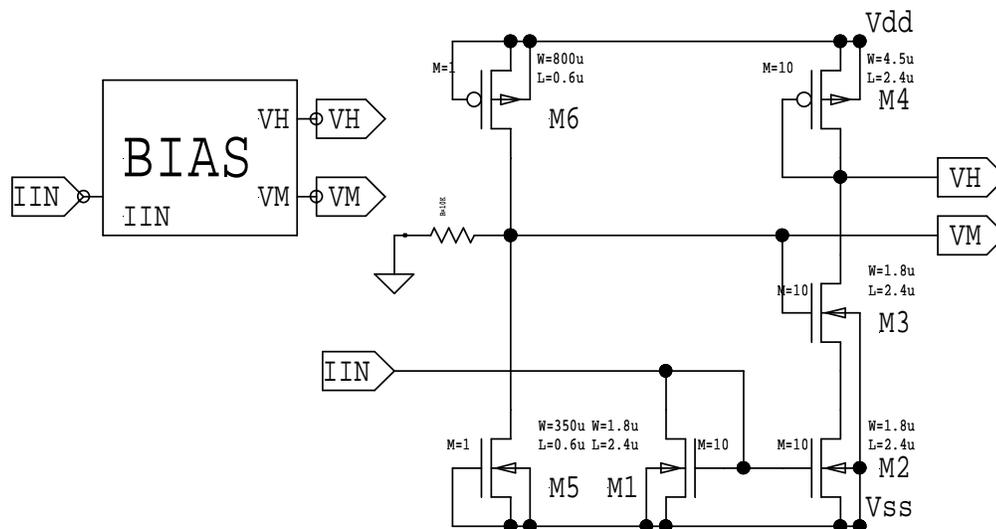


Figure 1: Reference circuit.

この基準バイアス回路は、四つの nMOS トランジスタ (M1、M2、M3 及び M5) と、二つの pMOS トランジスタ (M4 及び M6) とから構成されている。

M1 は、そのドレインとゲートとが短絡されており、いわゆる MOS ダイオードの構成を採っている。ドレイン・ゲートのノードには、IIN という名称が割り付けられており、外部から基準電流を流し込めるようになっている。

M2 は、M1 とともに電流ミラーを構成しており、そのドレインには、M1 のドレイン電流とほぼ同一の電流が流れるようになっている。

M3 は、M2 に対するカスコードトランジスタであって M2 の電流誤差を低減する役割を担っている。M3 のゲートは、GND 電位とすればよいのだが、静電破壊から保護するために、M5、M6 及び抵抗からなる保護回路を経由した VM 端子に接続するようになっている。

M4 は、pMOS トランジスタによる MOS ダイオードであって、そのドレイン・ゲートノードの電圧が VH 端子を介して出力されるようになっている。

The reference circuit consist of four nMOS transistors (M1, M2, M3 and M5) and two pMOS transistors (M4 and M6).

The drain and gate terminals of M1 are tied together to configure a so-called MOS diode, the node of which is called IIN, and is fed a DC current by an external reference current.

M2 makes a constant current flow, configuring a mirror circuit together with the MOS diode M1, and, hence, the drain current of M2 approximately equals that of M1.

M3 is a cascode transistor to reduce the drain current differences between M1 and M2. The gate node of M3 is connected to terminal VM, which is at the ground potential. The GND potential is secured by a static-discharge protection circuit, which consists of M5, M6 and a resistor.

M4 is a pMOS transistor which has a diode configuration. The voltage of the drain-gate node is delivered for output at terminal VH.

nMOS トランジスタは、 $W/L = 1.8/2.4, M = 10$ となっており、pMOS トランジスタは、 $W/L = 4.5/2.4, M = 10$ と設定されている。ここで、 $M=1$ として、nMOS トランジスタを $W/L = 18/2.4$ 、pMOS トランジスタを $W/L = 45/2.4$ としても等価ではないかとの疑義が生ずるかもしれない。

しかし、 $W/L = 1.8/2.4, M = 10$ と、 $W/L = 18/2.4$ とは、必ずしも等価ではない。ゲート端部の効果が存在するからである。

そこで、トランジスタを分割することにより、上記基準電流の 10% を単位として定電流源を設定することができるようにした。

例えば、基準電流の 20% の定電流源を設定するためには、 $W/L = 1.8/2.4, M = 2$ の nMOS トランジスタを V_{ss} に対してソース接地の構成で配置して、そのゲートに VL を印加してやれば良い。

なお、10% 刻みよりもより詳細な電流の設定を行う場合には、これを各回路ブロック内において個別に設定するという方針を採ることにする。

各回路要素内部において、増幅要素としてのトランジスタは、 VH と VL の中間のポテンシャルにおいて動作することになる。したがって、 VH と VL の電位差が十分確保されていることが重要である。因みに、

$$VH = -\sqrt{\frac{2I_{ref}}{(k_p W/L)_p}} + V_{TO}^{(p)} + V_{dd},$$

$$VL = \sqrt{\frac{2I_{ref}}{(k_p W/L)_n}} + V_{TO}^{(n)} + V_{ss}.$$

と書くことができる。したがって、 $(k_p W/L)_p = (k_p W/L)_n$ 、 $V_{TO}^{(p)} = -V_{TO}^{(n)} = -0.8 \text{ V}$ を仮定すると、

$$I_{ref} = \frac{1}{8}(k_p W/L)_p(V_{dd} - V_{ss} - VH + VL + 2V_{TO}^{(p)})^2.$$

を得る。さらに、 $V_{dd} - V_{ss} = 5 \text{ V}$ であるから、 $VH - VL = (V_{dd} - V_{ss})/4$ のとき、 $I_{ref} = 542 \mu\text{A}$ を得る。この電流が調節範囲しての限界を与えるものと考えることができる。

The size of the nMOS transistors is $W/L = 1.8/2.4, M = 10$. The size of the pMOS transistors is $W/L = 4.5/2.4, M = 10$. You might wonder whether $W/L = 1.8/2.4, M = 10$ could be equivalent to $W/L = 18/2.4, M = 1$ and $W/L = 4.5/2.4, M = 10$ to $W/L = 45/2.4, M = 1$.

Due to a fringing effect at the ends of the gate stretch, $W/L = 1.8/2.4, M = 10$ is not necessarily equivalent to $W/L = 18/2.4, M = 1$.

Constant-current sources driven by voltages VH or VL are eventually allowed to set their currents with an increment of $0.1 * I_{ref}$

In order to set a constant-current source to make a 20% current flow of I_{ref} , the size of the transistor is $W/L = 1.8/2.4, M = 2$, whose gate is driven by the voltage VL and whose source is located on V_{ss} .

When you intend to set the current source in a finer increment, it is required to set up a special reference circuit to meet with your application.

Since the transistors employed for each circuit block typically work under a potential between VH and VL , it is desired that the voltage difference between VH and VL be large enough to keep the required dynamic range for the signals to be processed. In practice, VH and VL are written as follows:

Assuming that $(k_p W/L)_p = (k_p W/L)_n$ 、 $V_{TO}^{(p)} = -V_{TO}^{(n)} = -0.8 \text{ V}$, we obtain

Provided $V_{dd} - V_{ss} = 5 \text{ V}$ and $VH - VL = (V_{dd} - V_{ss})/4$, we obtain $I_{ref} = 542 \mu\text{A}$, which bounds an adjustable range of I_{ref} .

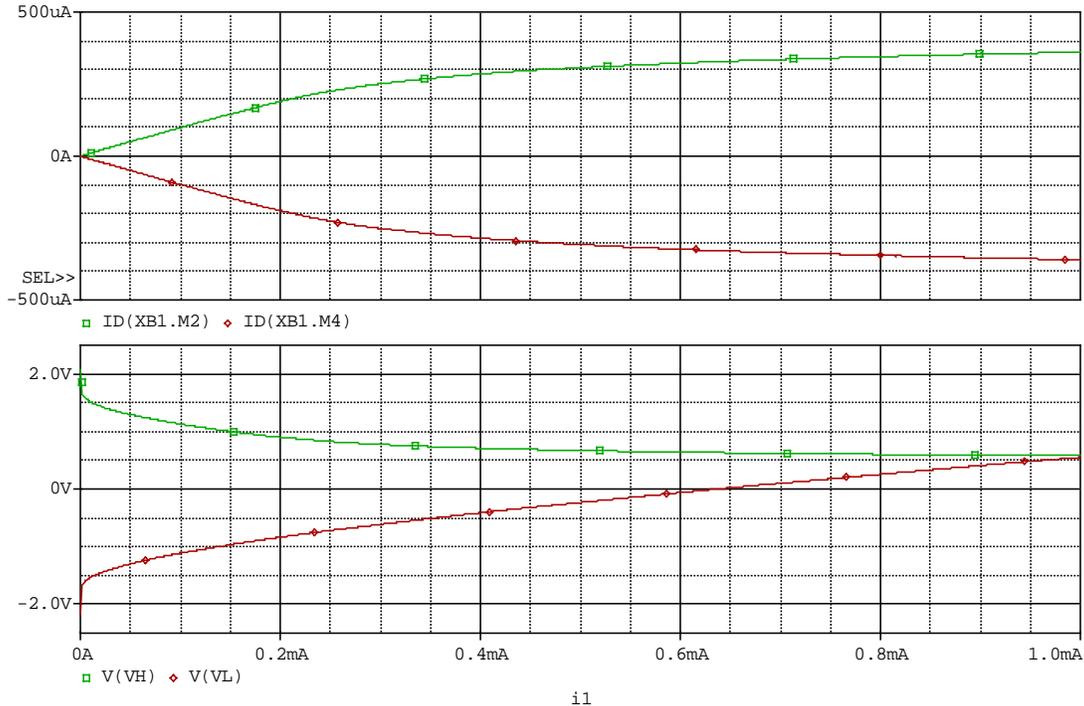


Figure 2: Characteristics of the bias circuit.

実際、PSpice によって、入力電流に対して M2、M4 のドレイン電流、及び VL、VH の電圧を調べてみると図 2 の様である。調整限界が $500 \mu A$ 程度にあることが確認できる。また、入力電流に対する線形性を問題とするならば、 $300 \mu A$ 程度が限界であることも解る。

なお、本テキストにおいては、特に断らない限り I_{ref} のデフォルト値は $100 \mu A$ である。

Fig. 2 shows the drain currents for M2, and M4 as well as the voltages at the VL and VH terminals. We confirm thereof that the adjustable current is approximately bounded by $500 \mu A$. If you request a linearity between the reference current and the drain currents for M2, and M4, the circuit must be operated below a drain current of $300 \mu A$

The default value for I_{ref} is $100 \mu A$, unless otherwise specified.

4.3 Example circuits

4.3.1 Power-on-reset circuit

パワー・オン・リセット回路とは、電源投入時に、自動的にリセットパルスを生ずるようになっていた回路をいう。

図 3 にパワー・オン・リセット回路の構成例を示した。

パワー・オン・リセット回路は、三個のインバータ (X1、X2、X3) と、三個の pMOS トランジスタ (M3、M4、及び M5) と、三個の nMOS トランジスタ (M1、M2、及び M6) と、一個の容量 (C7) とから構成されている。

The power-on-reset circuit is designed so as to deliver a reset pulse when the power for the circuit is turned on.

Fig. 3 shows a practical CMOS power-on-reset circuit.

The power-on-reset circuit consists of three inverter circuits (X1, X2 and X3), three pMOS transistors (M3, M4 and M5), three nMOS transistors (M1, M2, and M6), and one capacitor (C7).

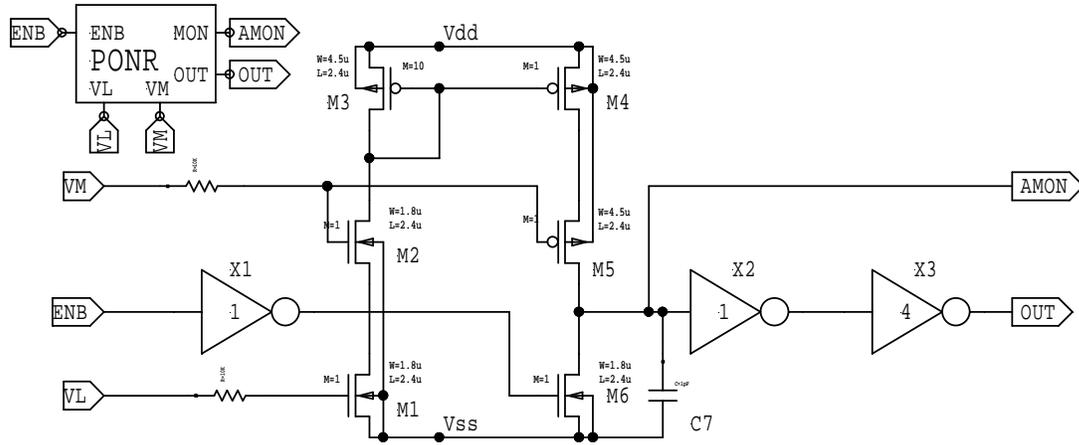


Figure 3: Power-on-reset circuit.

M1 は、VL 端子を介して基準電圧をそのゲートに受け、 I_{ref} の 10% のドレイン電流を生成するようになっている。

M2 は、M1 に対するカスコードトランジスタである。

M3 は、M1 からの電流を受けて、内部的な基準電圧を発生するようになっている。

M4 は、M3 に対して電流ミラーを構成しており、M3 の電流の 10% のドレイン電流を生成するようになっている。

M5 は、M4 に対するカスコードトランジスタである。

M6 のゲートには、ENB 信号が X1 によって反転されたものが供給されるようになっている。したがって、ENB="H" となった時点から C7 に充電が開始される。

そして、C7 の端子間電圧が約 2.5 V を超えたところでインバータ X2、X3 の出力レベルが反転するようになっているので、M4 のドレイン電流が典型的に $1 \mu A$ であることを考慮すると、ENB 信号が "H" となってから OUT の信号が "H" となるまでの時間は、 $2.5 \mu s$ である。

なお、X3 のシンボルに "4" と表示してあるのは、X3 が X2 との相対で 4 倍のドライブ能力を有している事を表わしている。

具体的には、X3 においては、X2 の用いられているトランジスタの 4 倍の W 値を有するトランジスタが用いられている。

M1 provides a constant current, receiving a reference voltage on the gate electrode via the VL terminal. The drain current of M1 is set as 10% of I_{ref} , which is fed into the IIN node of the reference circuit.

M2 is a cascode transistor used to improve the current source performance of M1.

M3 is a pMOS transistor which has a diode configuration.

M4 configures a current mirror with M3; the drain current of M3 is so arranged to be 10% of that of M3.

M5 is a cascode transistor used to improve the current source performance of M4.

The gate of M6 acquires \overline{ENB} on its gate electrode. The inverter X1 negates the ENB signal to generates \overline{ENB} .

Once ENB is forced to be "H", the drain current of M4 begins to charge capacitor C7 to deliver "H" on the OUT terminal in $2.5 \mu s$, where it is assumed that the capacitance of C7 is $1 pF$, I_{ref} is $100 \mu A$, and the inverter X2 toggles its output at the half-way between V_{ss} and V_{dd} .

The symbol for X3 includes a number "4", which indicates that the driving capability of X3 is larger than that of X2 by 4 times.

Actually, the W's for the transistors of X3 are four-times larger than the W's for X2.

4.3.2 Analog multiplexor

アナログマルチプレクサとは、複数のアナログ信号の中から選択的に一のアナログ信号を指定し、これを電圧又は電流として出力し、非選択時には、その出力をハイインピーダンスに維持するようになっている回路をいう。

図4に、アナログマルチプレクサ回路の具体例を示す。

M1、M8は、それぞれ、VL端子およびVH端子を介して基準バイアス回路からの電圧を受け、そのドレインに $2.0 * I_{ref}$ の電流を生成するようになっている。

M2、M7は、SEL端子を介して制御信号を受けて、それが”H”のときはM1、M8からの電流を通過させ、一方”L”のときはそれらを遮断するようになっている。

M3、M4は、VM端子の電圧を基準として、AIN端子に印加される電圧信号を受けて、M1からの電流をそれぞれのドレインに分配するようになっている。M4のドレイン電流は、A1端子に導かれており、M3のドレイン電流は、A0端子に導かれている。

同様に、M5、M6は、AIN電圧信号を受けて、M8からの電流をそれぞれのドレインに分配するようになっている。M6のドレイン電流は、A1端子に導かれており、M5のドレイン電流は、A0端子に導かれている。

M3、M4からなる差動ペアと、M5、M6からなる差動ペアとは、それぞれ相補的に動作するようになっているので、一定の線形性が維持できるようになっている点に特徴がある。

図5には、アナログマルチプレクサ回路の電圧対電流変換に係る周波数特性が示してある。周波数範囲は、1 kHz から 1 GHz をカバーしている。本回路例においては、直流から 10 MHz 程度までは、A0出力、A1出力とも $300 \mu A/V$ 程度の平坦な特性を示しており、3 dB 帯域幅としては 60 MHz が達成されていることが分かる。

M1、M8による定電流源の値が $200 \mu A$ であることを考慮すると、 $300 \mu A/V$ の換算係数を用いて、AIN端子におけるダイナミックレンジは $\pm 0.67 V$ にしか達し得ないことが分かるさらに、線形性の観点から、より厳しく $\pm 0.5 V$ 程度が実用上の限界であるともいえる。

The analog multiplexor circuit is so designed to selectively deliver a current/voltage signal corresponding to a certain analog channel. The output of the analog multiplexor keeps a high-impedance state unless being selected for output.

Fig. 4 shows a practical CMOS analog multiplexor circuit, which is designed to deliver a current signal.

M1 and M8 acquire reference voltages via the VL and VH terminals, respectively. Being set as $M = 20$, M1 and M8 deliver $2.0 * I_{ref}$, i.e. $200 \mu A$, for their drain nodes.

When SEL is forced to be ”L”, M2 and M7 are so arranged to bar the ways of the drain currents from M1 and M8, respectively.

The nMOS transistors M3 and M4 are so arranged to steer the current from M1 to their drain node according to the voltage applied to the gate of M3 referencing on the voltage VM applied to the gate of M4.

The drain node of M3 leads to output terminal A0; the drain node of M4 leads to output terminal A1.

The pMOS transistors M5 and M6 work in a similar way as M3 and M4.

The differential pairs M3/M4 and M5/M6 operate in such a way as to compensate for the quadratic terms of the MOS equation; they achieve a reasonable linearity to be applicable for practical use.

Fig. 5 shows the frequency dependence for the voltage-to-current conversion characteristics of the analog multiplexor circuit. The frequency range covers from 1 kHz to 1 GHz. The conversion coefficients for A0 and A1 keep approximately $300 \mu A/V$ until beginning to roll off at around 10 MHz; the 3-dB frequency band width is about 60 MHz.

Taking into account that the current of M1 or M8 is $200 \mu A$, the voltage dynamic range at the input terminal AIN is no more than $\pm 0.67 V$. When it is restricted in terms of linearity, the input dynamic range will be reduced to be $\pm 0.5 V$.

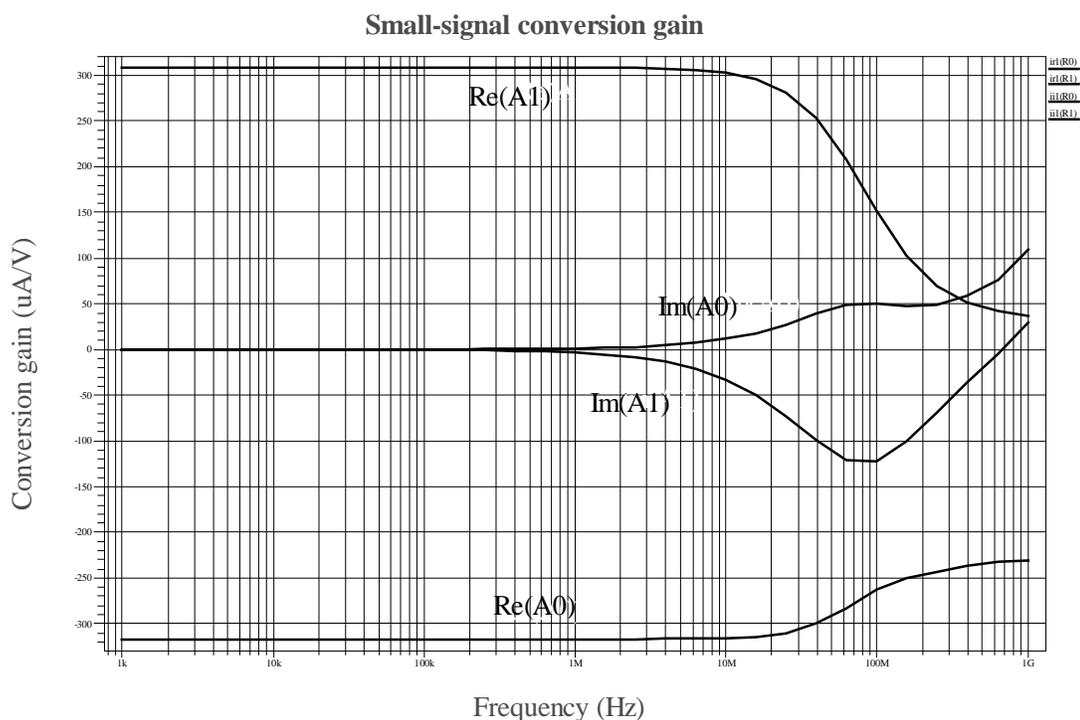


Figure 5: Small-signal conversion gain of the analog multiplexor circuit

一般に、干渉の程度は、振幅に比例すると考えることができるから、デジタル信号の論理振幅を下げることであれば有利である。

また、アナログ回路は三線の電源レールを用いることがあるので、いわゆるフルスイングの論理振幅とは整合がとりづらいという事情もある。

そこで、 V_{dd} 、 V_{ss} をそれぞれ論理振幅の上限、下限とするのではなく、GND を論理振幅の下限として、しかも、論理振幅を 350 mV とする規格が制定されている。^a 振幅が 350 mV と低い事は、アナログへの干渉が少ないことだけでなく、高速デジタル伝送との整合性が良いことを意味している。

^aANSI/TIA/EIA-644(LVDS) Standard and IEEE 1596.3

The amount of interference will be in general proportional to the voltage swing of logic signals; the lower is the voltage swing, the lower is the interference.

There is an another issue which relates to the two-supply (three rail) configuration, where the full-swing scheme does not conform with the logic level of the external peripheral circuits.

In order to reduce the digital-to-analog interference, a low-voltage differential-signal (LVDS) scheme was proposed to be established as the IEEE std, i.e. IEEE 1596.3, where the "L" level of the logic signal is set at the GND level, while the "H" level is bounded to be 350 mV . The LVDS conforms with the requirement of a high-rate data transmission as well as a reduction of the digital-to-analog interference.

Low-voltage differential signal (LVDS) と称されるこの規格は、差動伝送方式と、定電流源を用いたドライバー方式の採用により、

- 外来のいわゆるコモンモード雑音に対する耐性が高いこと、
- 外部に対する雑音の放射が抑制されること、
- スイッチングスパイクが低減されること、
- 高速動作時にも電力消費量が一定に保たれること

など他の方式に比べて有利な効果を有している。

図 6 には、低電圧差動信号ドライバーの CMOS による構成例を示した。

The benefits of the LVDS scheme are summarized as follows: the LVDS

- is more immune from external electromagnetic interference than single-ended alternatives;
- generates a less amount of electro-magnetic radiation toward an environment than large-swing and/or single-ended alternatives;
- generates smaller switching spikes than voltage-driven alternatives; and
- keeps its power consumption almost constant even under high-frequency operation.

Fig. 6 shows a practical CMOS LVDS driver circuit.

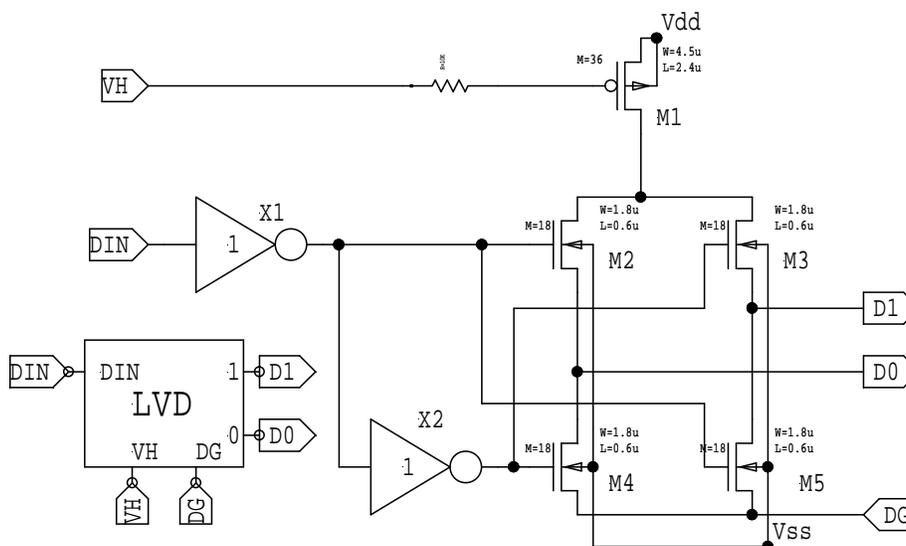


Figure 6: Low-voltage differential driver.

図 6 の LVDS ドライバーは、一個の pMOS トランジスタ (M1) と、四個の nMOS トランジスタ (M2 ないし M5) と、二個のインバータ回路 (X1、X2) とから構成されている。

The LVDS circuit shown in Fig. 6 consists of one pMOS transistor (M1), four nMOS transistors (M2, M3, M4 and M5), and two inverter circuits (X1 and X2).

DIN 信号が”H”のときには、M3とM4がONするので、M1の生成する電流は、M3を経由してD1より流出し、さらに負荷抵抗に電圧を発生させた後、DO及びM4を経由して接地電位であるDG端子に排出される。

一方、DIN 信号が”L”のときには、M2とM5がONするので、M1の生成する電流は、負荷抵抗に逆極性の電圧を発生させる。

正規のLVDSドライバーは、定電流源の電流値を3.5 mAとし100 Ωの抵抗で終端することにより、所要の電圧振幅を得ようになっているが、ここでは、消費電力を考慮して、定電流源の電流値を360 μAとして、約1 kΩの抵抗で終端することにより同等の機能を実現するようにしている。

When DIN is forced to be ”H”, M3 and M4 are turned on. M3 mediates the current from M1 to make a current flow toward an external load via terminal D1. M4 acquires a return current via terminal D0 to exhaust it to terminal DG.

On the other hand, when DIN is forced to be ”L”, M2 and M5 are turned on to generate a reversed voltage across the load resistance.

The proper LVDS driver circuit is equipped with a 3.5 mA constant current source, while the circuit described here is designed so as to operate with a constant-current source of 360 μA, taking into account the power consumption, and, hence, a termination resistor of 1 kΩ is employed in place of a proper termination resistor of 100 Ω.

4.3.4 Low-voltage differential receiver

低電圧差動受信回路とは、LVDS規格相当の差動信号を、CMOSのフルスウィングの信号(V_{dd} を”H”レベルとし、 V_{ss} を”L”レベルとする信号)に変換するための回路である。

図7に、低電圧差動受信回路の具体例を示した。

The low-voltage differential-signal receiver is a circuit used to convert a LVDS-equivalent signal to a full-swing CMOS logic signal, i.e. the signal whose ”H” is assigned to V_{dd} , and ”L” is assigned to V_{ss} .

Fig. 7 shows a practical CMOS LVDS receiver circuit.

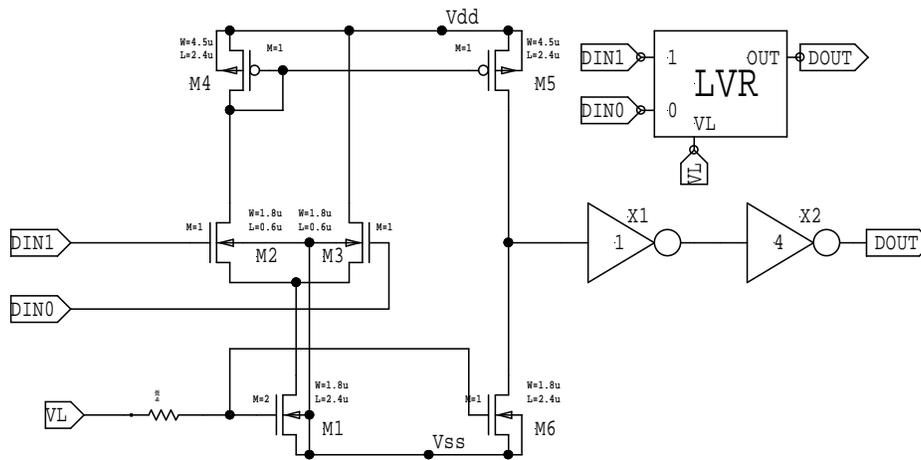


Figure 7: Low-voltage differential receiver.

低電圧差動受信回路は、四個の nMOS トランジスタ (M1、M2、M3、M4) と、二個の pMOS トランジスタ (M4、M5) と、二個のインバータ回路 (X1、X2) とから構成されている。

The LVDS receiver circuit consist of four nMOS transistors (M1, M2, M3 and M4), two pMOS transistors (M5 and M4), and two inverter circuits (X1 and X2).

M1 は、基準バイアス回路からの電圧を VL 端子にうけて $20 \mu A$ の定電流源を構成している。M2 と M3 は、それぞれ、ゲートに低電圧差動信号の "1" 側及び "0" 側を受信し、M1 からの電流をゲート電圧に応じてそれぞれのドレイン電流として分配するようになっている。M3 のドレイン電流は、そのまま V_{dd} に排出されてしまう一方、M2 のドレイン電流は、pMOS のダイオード M4 に流れ込むようになっている。M4 は、M5 と 1:1 の電流ミラーを構成している。M5 のドレイン電流は、M6 のドレイン電流と合流し、そのドレインノードに電圧信号を発生するようになっている。M6 は、M1 と同様、VL 端子に基準バイアス回路からの電圧をうけて定電流源を構成するようになっている。ただし、その電流値は、 $10 \mu A$ に設定されている。

そこで、DIN1 が高電位側にあり、DIN0 が低電位側にある場合には、M5 のドレイン電流が M6 のドレイン電流を圧倒し M5/M6 のドレイン電圧は平衡値よりも V_{dd} 側に移動する。一方、DIN1 が低電位側にあり、DIN0 が高電位側にある場合には、M5 のドレイン電流は M6 のドレイン電流に圧倒され M5/M6 のドレイン電圧は平衡値よりも V_{ss} 側に移動する

M5/M6 のドレイン電圧は、インバータ X1 によって増幅され、さらに X2 によって正規の CMOS 論理信号として出力されるようになっている。X2 として、ここでも高いドライブ能力を有するインバータを用いていることに注意されたい。

以上

M1 acquires a voltage from the reference circuit on the VL terminal to work as a constant-current source of $20 \mu A$.

The current from M1 is divided into two parts according to the gate voltages of M2 and M3, which are fed into the circuit via the DIN1 and DN0 terminals, respectively.

While the drain current of M3 is directly exhausted into V_{dd} , the drain current of M2 is fed into a pMOS diode (M4).

M4 configures a current mirror together with M5 with a current ratio of 1:1.

The drain current of M5 merges with the current from M6 to generate a voltage on the input node of X1.

M6 acquires a voltage from the reference circuit in the same way as M1 to work as a constant-current source, but with a drain current of $10 \mu A$.

As long as the voltage on DIN1 is higher than that on DIN0, the drain current of M5 overwhelms the drain current of M6 to move the voltage of the drain nodes of M5/M6 to a higher level than an equilibrium level, and, hence, the DOUT terminal delivers the "H" level. On the other hand, when the voltage on DIN1 is lower than that on DIN0, the DOUT terminal delivers "L" level.

The inverter circuit X2 is used to keep an appropriate rise/fall time with a proper CMOS swing. You are aware that the inverter circuit with high driving capability is employed here again as appeared in the schematic for the power-on-reset circuit.