

---

# Electronics for Particle Measurement

Hirokazu Ikeda

iked@post.kek.jp

School of Mathematical and Physical Science  
The Graduate University for Advanced Studies

July 12, 2002

---

## Abstract

The basics of an integrated circuit are described with special emphasis placed on a charge-measurement system. Starting with an outline of a fine CMOS technology, the discussion moves to a practical implementation of circuits.

## Contents

<b>7 Design of the CMOS charge-sensitive preamplifier</b>	<b>1</b>
7.1 Input FET . . . . .	1
7.1.1 Strong inversion versus weak inversion . . . . .	2
7.1.2 Procedures for optimization . . . . .	3
7.2 Open-loop gain . . . . .	5
7.2.1 Charge collection efficiency . . . . .	5
7.2.2 Cascode output . . . . .	6
7.2.3 Example with practical parameters . . . . .	7
7.3 Preamplifier circuit . . . . .	9
7.4 Feed-back ratio versus open-loop gain. . . . .	10
<b>A Notice</b>	<b>14</b>

## 7 Design of the CMOS charge-sensitive preamplifier

### 7.1 Input FET

前置増幅器の性能は、主として入力段 FET の性能によって支配される。したがって、入力段 FET の特性を所要の性能を満たすように設定することが重要である。

そこで、最初に MOSFET の動作モードについて議論した後、FET の特性の設定手順について説明を試みることにしたい。

The performance of the preamplifier is predominantly determined by the characteristics of the input FET. It is very important to set the parameters of the input FET so as to match the required specifications.

This section concentrates on procedures to set parameters for the input FET as well as a detailed description of the operation modes of the MOSFET.

### 7.1.1 Strong inversion versus weak inversion

飽和領域における FET の動作モードは、一般に、強反転モード、あるいは、弱反転モードによって近似することができる。

強反転モードは、 $I_D \gg k_p \frac{W}{L} \left(\frac{kT}{q}\right)^2$  によって特徴づけることができる動作モードであって、トランスコンダクタンスは、

$$g_m = \sqrt{2k_p \frac{W}{L} I_D}.$$

のように表わすことができる。

一方、弱反転モードは、 $I_D \ll k_p \frac{W}{L} \left(\frac{kT}{q}\right)^2$  によって特徴づけることができる動作モードであって、トランスコンダクタンスは、

$$g_m = \frac{I_D}{nkT/q},$$

のように表わすことができる。ここで、 $n$  は、スロープファクタと呼ばれるものであって、通常 1.3 と 2 の中間の値である。すなわち、低電流領域では、FET は、バイポーラトランジスタと同様の特性を示す。

荷電増幅システムにおいては、信号源容量による雑音の寄与を抑制するために入力部の FET には、高いトランスコンダクタンスが要求される。強反転モードの近似を採用する限りにおいては、 $\frac{W}{L}$  を大きくすればそれだけトランスコンダクタンスを増加させることができるように思える。

しかし、 $\frac{W}{L}$  を大きくするにしたがって、FET の動作領域は、強反転領域から、弱反転領域に遷移していくため、結局、弱反転モードでのトランスコンダクタンスによって制限されることになる。

そこで、 $\frac{W}{L}$  の最大値は、強反転近似でのトランスコンダクタンスと弱反転近似でのトランスコンダクタンスとを等値することによって求めることが合理的である。すなわち、

$$\begin{aligned} \frac{I_D}{nkT/q} &= \sqrt{2k_p \frac{W}{L} I_D}, \\ \frac{W}{L} &= \frac{I_D}{2k_p (nkT/q)^2}. \end{aligned}$$

とすれば良い。

また、 $k_p = \mu C_{ox}$ 、及びゲート容量が  $C_G = \frac{2}{3} W L C_{ox}$  と書き表わすことができることを用いると、

The behavior of the MOSFET in the saturation region can be approximated in terms of either the strong-inversion mode or the weak-inversion mode.

The strong-inversion mode is characterized by the inequality  $I_D \gg k_p \frac{W}{L} \left(\frac{kT}{q}\right)^2$ , and its transconductance is written as

On the other hand, the weak-inversion mode is characterized by the inequality  $I_D \ll k_p \frac{W}{L} \left(\frac{kT}{q}\right)^2$ , and its transconductance is written as

where  $n$  is the slope-factor, which usually takes a value of 1.3 to 2, and, hence, it behaves like the BJT.

The charge-measurement system is required to have a high transconductance for the input FET in order to suppress the series noise contribution, which is manifested by the detector capacitance. It might appear to be true that the transconductance could be taken as large as required by employing a larger  $W/L$ , so long as the strong-inversion approximation can be applied.

For a larger  $W/L$ , however, the operation mode of the MOSFET moves from the strong-inversion mode to the weak-inversion mode to bound the increase of the transconductance.

A reasonable compromise is to determine the  $W/L$  by equating the transconductances from the strong and weak inversion approximation, which yields

By employing the relation  $k_p = \mu C_{ox}$  and describing the gate capacitance as  $C_G = \frac{2}{3} W L C_{ox}$ , it yields

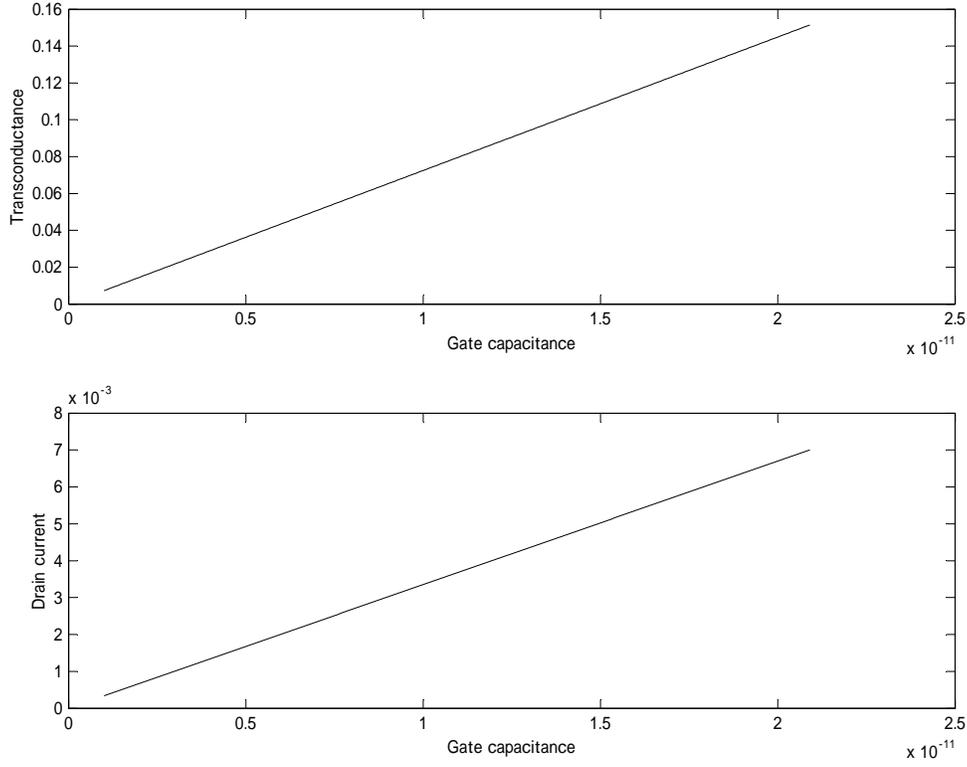


Figure 1:  $g_m$  and  $I_D$  in terms of  $C_G$ .

$$g_m = \frac{3nkT\mu C_G}{qL^2},$$

を得る。すなわち、 $g_m$  と  $C_G$  の間に比例関係を設定することができる。図 1 は、 $C_{ox} = 2.7 * 10^{-3} F/m^2$ 、 $\mu = 188 * 10^{-4} m^2/Vs$ 、 $L = 0.6 \mu m$ 、 $n = 1.85$ 、の仮定のもとで、 $g_m$  と  $C_G$ 、および  $I_D$  と  $C_G$  の対応関係を与えている。

where we find that  $g_m$  is proportional to  $C_G$ . Fig. 1 shows the relations for  $g_m$  versus  $C_G$  and  $I_D$  versus  $C_G$ , where it is provided that  $C_{ox} = 2.7 * 10^{-3} F/m^2$ 、 $\mu = 188 * 10^{-4} m^2/Vs$ 、 $L = 0.6 \mu m$ 、and  $n = 1.85$ .

### 7.1.2 Procedures for optimization

検出器の性状として、 $C_D$  と  $I_L$  はあらかじめ知れているものとする。また、検出器と読み出し回路は、室温において用いられるものとする。さらに、 $2qI_L$  と  $4kT(1/R_B + 1/R_1)$  は、等しくなるように抵抗値が設定されているものとする。このとき、前節のように  $g_m$ 、 $C_G$  が関係しているものとするれば、

Assuming that the detector's capacitance  $C_D$  and the leakage current  $I_L$  are given, the bias/feed-back resistors are so chosen as to satisfy  $2qI_L = 4kT(1/R_B + 1/R_1)$ , and  $g_m$  and  $C_G$  are related to each other as described in §7.1.1, we obtain for the equivalent noise electrons and the peaking time as follows:

$$enc = \frac{e}{q} \sqrt{(C_D + C_G) \sqrt{\frac{2kT}{3g_m} qI_L}}, \text{ and}$$

$$T_M = C_D \sqrt{\frac{2kT}{3g_m} \frac{1}{qI_L}},$$

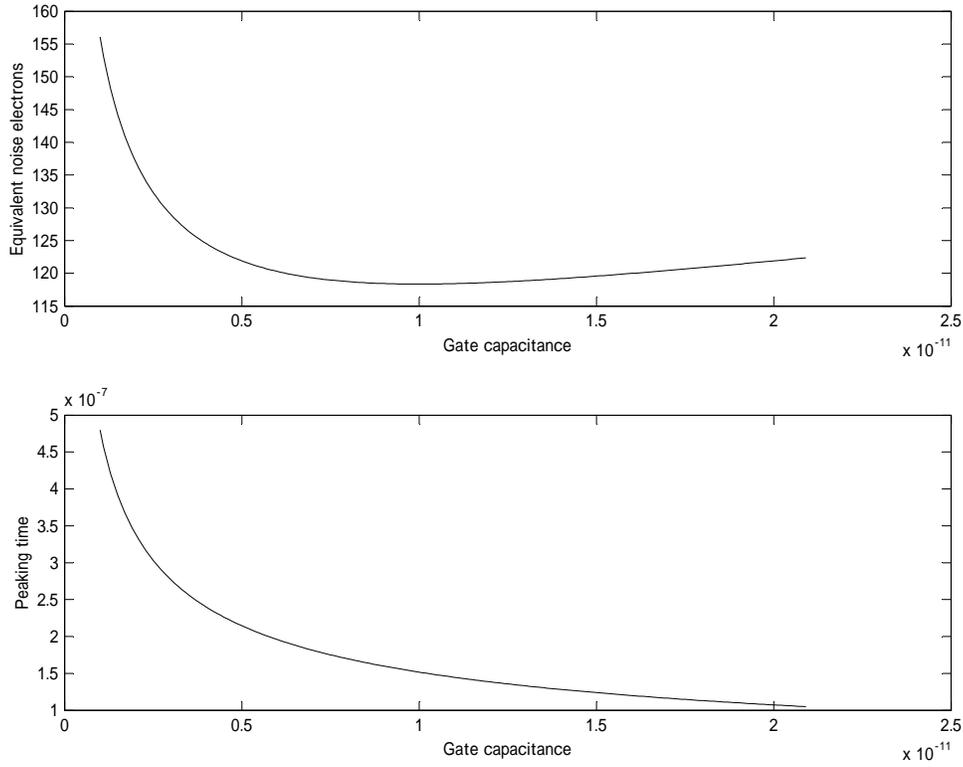


Figure 2: Enc and peaking time in terms of  $C_G$  for  $I_L = 1 \text{ nA}$ .

を得る。

図2と図3は、 $C_G$ を横軸にとって、上記関係式を図示したものである。ただし、 $C_D$ は、両者に共通であって  $10 \text{ pF}$  としてあるものの、漏れ電流については、図2については、 $1 \text{ nA}$ 、一方図3では、 $10 \text{ nA}$  としてある。 $enc$ の最小値は、いずれも  $C_D = C_G$  において達成されるようになっているが、そのときの  $T_M$  の値が後者においては、前者よりも短い時定数となっていることに注意して欲しい。

このような解析によって、原理的な側面から所要の雑音性能を達成することが可能であるか否かを判定することができる。また、最適値として、所要の低雑音性能を達成できる可能性は示されたものの、ドレイン電流が過大すぎて、消費電力の観点から制約がかかることもある。また、最適値が、あまりに長いピーキングタイムを要求するために信号のパイルアップないしは時間分解能において、トレードオフによる問題解決が必要になることも有り得る。

respectively. Fig. 2 and Fig. 3 show  $enc$  and  $T_M$  as a function of  $C_G$ , where  $C_D$  is assumed to be  $10 \text{ pF}$  for both figures, and  $I_L$  is  $1 \text{ nA}$  and  $10 \text{ nA}$  for Fig. 2 and Fig. 3, respectively. The noise minimum can be found at  $C_G = C_D$  in accord with the capacitance-matching condition. You are aware that the optimum peaking time is shortened for a larger leakage current.

By examining the figure, we can identify whether a given specification for the electronic noise is reasonably achievable or not. Even if the noise level might appear to satisfy the requirement, the requirement for the power consumption could provide another hurdle, or the too-slow peaking time could be inappropriate to raise a pile-up or a time-resolution issue. These bounds could be resolved in terms of optimization.

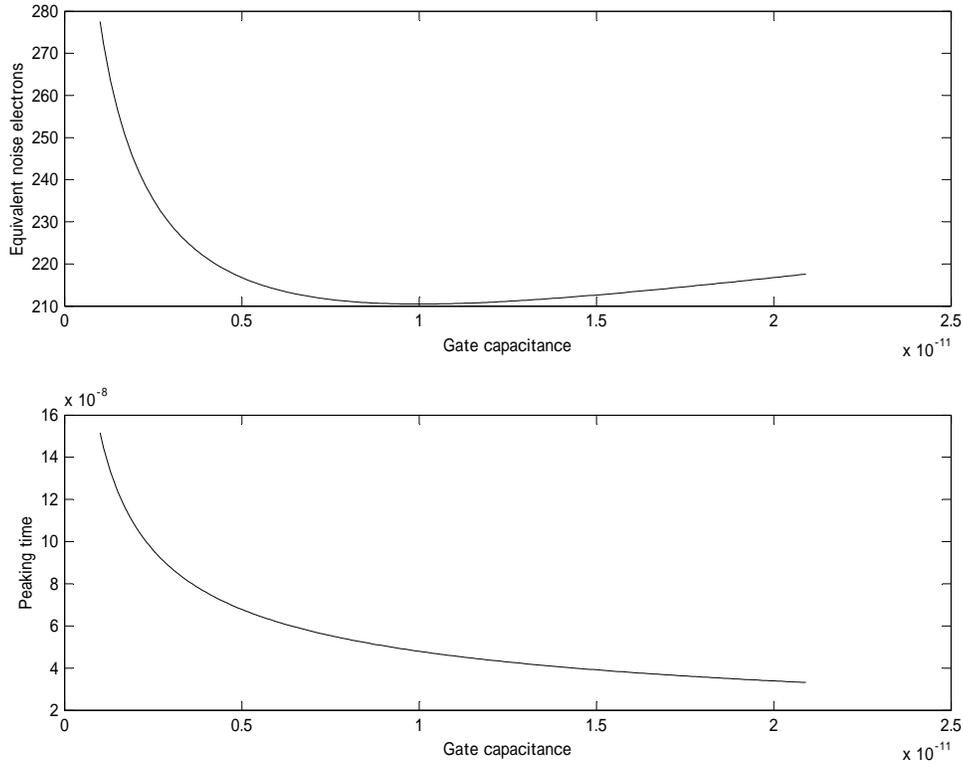


Figure 3: Enc and peaking time in terms of  $C_G$  for  $I_L = 10 \text{ nA}$ .

## 7.2 Open-loop gain

### 7.2.1 Charge collection efficiency

オープンループゲインとは、(負)帰還をかけない状態での増幅要素の利得をいう。

荷電増幅器の帰還容量を  $C_f$  とし、増幅要素のオープンループゲインを  $A$  とすると、入力端からみたインピーダンスは、容量性であって、その容量は、いわゆるミラー効果によって、

$$C_f(1 + A).$$

のように見える。したがって、検出器の容量を  $C_D$  とおくと、検出器に発生した電荷のうち

$$\frac{C_f(1 + A)}{C_D + C_f(1 + A)},$$

が荷電増幅器によって有効に利用されることになる。

上記効率を高めるためには、オープンループゲインを非常に高い値に設定する必要がある。例えば、 $C_D = 10 \text{ pF}$ 、 $C_f = 0.2 \text{ pF}$  とし、上記効率を99%とするためには、 $A = 4950$  とすることが要請される。

The open-loop gain of the amplifier is defined as the bare gain of the amplifier without any negative feedback.

Provided that the feedback capacitance of the charge sensitive amplifier is  $C_f$ , and the open-loop gain is  $A$ , the input impedance of the amplifier can be explained by the so-called the Miller effect, which yields

Hence, the fraction of charge generated in the detector medium and absorbed by  $C_f$  is

where  $C_D$  is the detector capacitance, as usual. In order to increase the above-mentioned fraction, it is required to set the open-loop gain,  $A$ , to a very high value. For example, if we take  $C_D = 10 \text{ pF}$ ,  $C_f = 0.2 \text{ pF}$ , and a charge-collection efficiency of 99%, we must set the open-loop gain to  $A = 4950$ .

## 7.2.2 Cascode output

FET は、電圧対電流型の増幅器であるからその利得は、トランスコンダクタンスで表わすのが一般的である。一方、電圧対電圧型の増幅器の利得  $A$  との間には、 $A = g_m * r_d$  の関係をつけることができる。

$g_m$  と  $r_d$  を同時に大きくすることができれば問題は解決するのだが、入力段の FET は、 $g_m$  を最大化するために、比較的大きなドレイン電流を設定すると同時に  $L$  についても最小長を設定することが一般的であるため  $r_d$  については必ずしも最適化はされていない。

第 2 章で議論した  $\lambda$  は、例えば  $\frac{0.15 * 10^{-6}}{L}$  程度の値をとるから、その  $r_d$  は、 $V_{DS} = 0.8 V$ 、 $I_d = 100 \mu A$  の条件のもと  $48 k\Omega$  となる。一方、 $g_m$  については、 $n = 1.85$  とした弱反転近似のもとでは  $2.16 mS$  となる。そこで、オープンループゲインは、104 にすぎないことが解る。これでは、所要のオープンループゲインである 4950 を得る事は絶望的である。

そこで、カスコード回路の方式を用いることにより、実効的に  $r_d$  を増大させる手法を採ることが一般的である。

入力段の FET のパラメータを  $g_{m1}$ 、 $r_{d1}$  とし、カスコードトランジスタのパラメータを  $g_{m2}$ 、 $r_{d2}$  とすると、実効的なドレインインピーダンスは、

$$g_{m2}r_{d1}r_{d2} + r_{d1} + r_{d2}$$

のように表わすことができる。詳細は、第 2 章においてすでに議論したところである。結局、オープンループゲインは、概略のところ、

$$A = g_{m1}g_{m2}r_{d1}r_{d2},$$

を評価すれば得ることができる。

ここで、入力トランジスタについて弱反転近似を、カスコードトランジスタについて強反転近似を採用し、ドレインインピーダンスについては、共通の振る舞いを仮定すると、 $g_{m1}$ 、 $g_{m2}$ 、 $r_{d1}$ 、及び  $r_{d2}$  を

$$\begin{aligned} g_{m1} &= \frac{I_{d1}}{nkT/q}, \\ g_{m2} &= \sqrt{2k_p \frac{W}{L} I_{d2}}, \\ r_{d1} &= \frac{L_1 + L_0 * V_{DS1}}{L_0 I_{d1}}, \\ r_{d2} &= \frac{L_2 + L_0 * V_{DS2}}{L_0 I_{d2}}, \end{aligned}$$

Since the MOSFET is sort of a voltage-to-current amplifier, it's gain is in general presented in terms of the transconductance. The open-loop gain as a voltage-to-voltage amplifier is defined to be  $A = g_m * r_d$ .

The demands to set large values for  $g_m$  and  $r_d$  contradicts to each other. A large  $g_m$  is attained by increasing the drain current as well as employing a shorter  $L$ , which makes it easy to lower the value of  $r_d$ .

The parameter  $\lambda$ , which was discussed in §2, can be, for example, written as  $\frac{0.15 * 10^{-6}}{L}$ . Hence, we can evaluate  $r_d$  as  $48 k\Omega$  under the conditions  $V_{DS} = 0.8 V$  and  $I_d = 100 \mu A$ . On the other hand, the transconductance is  $2.16 mS$  under the weak inversion approximation with  $n = 1.85$ . The open-loop gain is 104, which is too small to reach the require value of 4950.

A practical solution is to take a scheme of the cascode circuit, which effectively increases the drain output impedance.

Provided that the parameters for the input FET are  $g_{m1}$  and  $r_{d1}$ , and those for the cascode transistors are  $g_{m2}$  and  $r_{d2}$ , we obtain for the effective drain output impedance

which is discussed in §2 in detail.

The open-loop gain is eventually presented as

where we assume: a weak inversion for the input transistor; a strong inversion for the cascode transistor; and a common behavior of the drain output impedance. We in practice employ the following equations:

のようにしてそれらの値を評価することができる。ただし、 $V_{DS1} = V_{DS2} = 0.8 \text{ V}$ 、 $L_0 = 0.15 * 10^{-6}$  としてある。

where we set  $V_{DS1} = V_{DS2} = 0.8 \text{ V}$ ,  $L_0 = 0.15 * 10^{-6}$ , and  $k_p = 145 \mu\text{A}/\text{V}^2$ .

### 7.2.3 Example with practical parameters

図4は、入力トランジスタのトランスコンダクタンス  $g_{m1}$  と、カスコードトランジスタのドレインノードにおける出力インピーダンス  $g_{m2}r_{d1}r_{d2}$  を示している。ただし、カスコードトランジスタの  $W/L$  は、 $4.5/2.4$  とし、そのドレイン電流は、 $10 \mu\text{A}$  と一定である。横軸は、入力トランジスタのドレイン電流であって、 $2 \text{ mA}$  までをカバーしている。

Fig. 4 shows the transconductance,  $g_{m1}$ , of the input FET and the output impedance,  $g_{m2}r_{d1}r_{d2}$ , at the drain node of the cascode transistor. The size of the cascode transistor is set as  $W/L = 4.5/2.4$  in  $\mu\text{m}$ , and its drain current is set as  $10 \mu\text{A}$ . The horizontal axis shows the drain current of the input FET, which covers up to  $2 \text{ mA}$ .

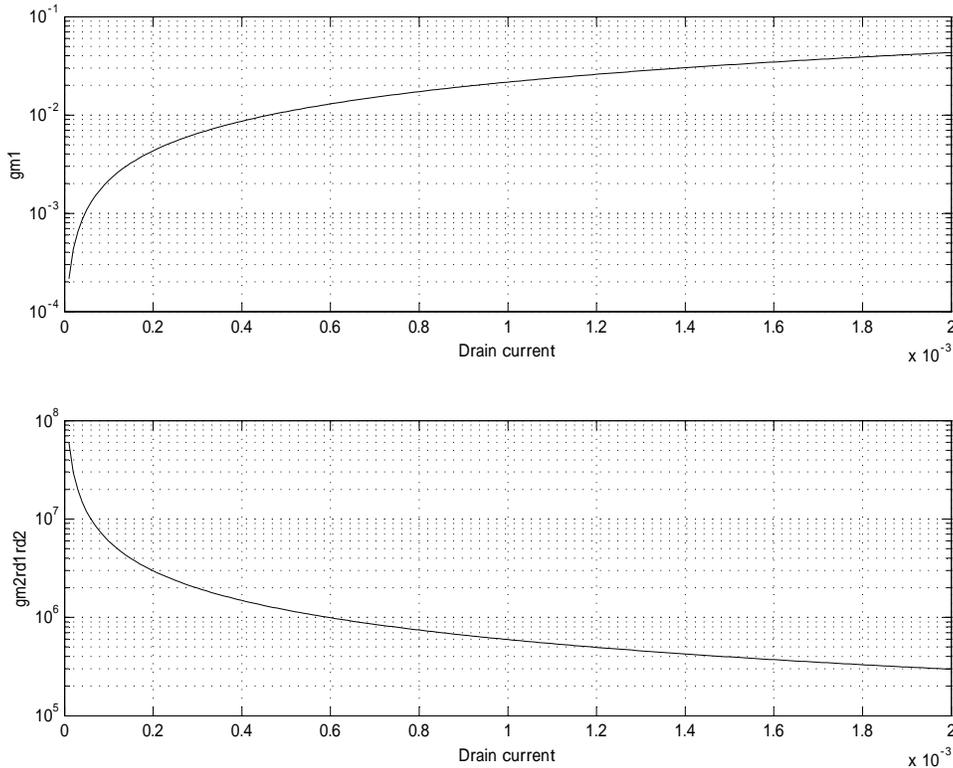


Figure 4: Transconductance and output impedance of the cascode circuit for  $I_{d2} = 10 \mu\text{A}$ .

入力トランジスタのトランスコンダクタンスは、ドレイン電流 ( $I_{d1}$ ) に比例して増加する一方、出力インピーダンスは、ドレイン電流 ( $I_{d1}$ ) に反比例して減少している。両者の積がオープンループゲインを与える。入力トランジスタのドレイン電流によらず約 12000 という値が確保されていることがわかる。

The transconductance of the input transistor increases in proportion to the drain current, while the output impedance of the cascode circuit decreases in inverse proportion to the drain current. Eventually, the gain of the cascode circuit is kept constant as approximately 12000, irrelevant of the drain current of the input transistor.

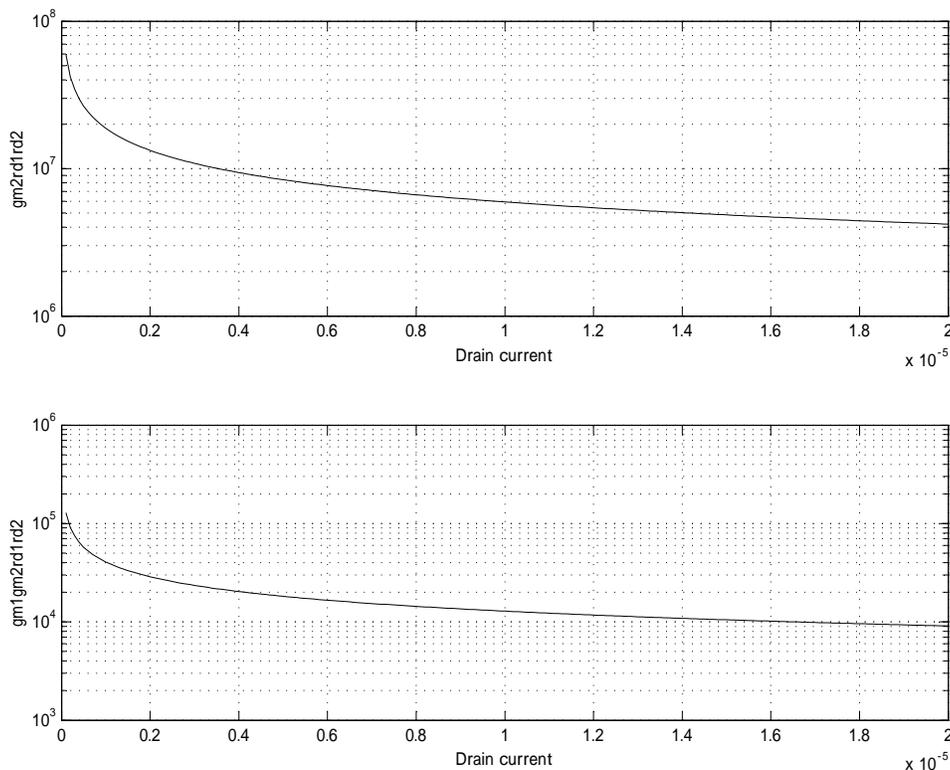


Figure 5: Output impedance and gain of the cascode circuit for  $I_{d1} = 100 \mu A$ .

図5には、今度は、 $I_{d1} = 100 \mu A$  に固定して、 $I_{d2}$  の関数として、 $g_{m2}r_{d1}r_{d2}$ 、及び  $g_{m1}g_{m2}r_{d1}r_{d2}$  を表わしてある。 $I_{d2} = 10 \mu A$  において、出力インピーダンスは、 $6 M\Omega$  程度であるが、より低電流領域では、 $10 M\Omega$  を達成することも可能である。全体の利得も、これに比例して、 $I_{d2}$  の低電流領域においては、簡単に20000を超える値を達成することができる。

出力インピーダンスを上げるためには、 $g_{m1}$  または  $g_{m2}$  を増加させるという自明的手法に加えて、 $I_{d2}$  を絞りこむという解があることが解る。

ここでは、論点を絞り込むために非常に簡単なモデルを用いて議論を展開した。現実の回路の動作とは、多少とも食い違いが生じているはずである。詳細は、具体的な半導体プロセスに適した SPICE パラメータ<sup>a</sup>を用いて確認されたい。

<sup>a</sup>HSPICE のレベル 49 を使用することを勧める。PSpice では、レベル 7 において等価なモデルが提供されている。

In Fig. 5, the drain current  $I_{d2}$  is swept from 0 to  $20 \mu A$ , while the drain current of the input transistor is kept constant as  $I_{d1} = 100 \mu A$ . The output impedance,  $g_{m2}r_{d1}r_{d2}$ , is about  $6 M\Omega$  at  $I_{d2} = 10 \mu A$ , and increases for the lower current to go more than  $10 M\Omega$ . Hence, the entire gain of the circuit goes beyond 20000 for the lower current region of  $I_{d2}$ .

In order to increase the output impedance, you have an option to decrease the drain current,  $I_{d2}$ , of the cascode transistor as well as a trivial way of increasing the transconductance  $g_{m1}$  or  $g_{m2}$ .

The discussion here employs a very primitive model, which may more or less deviate from actual circuit behavior.

For a detailed analysis you can consult a SPICE simulation with appropriate SPICE parameters which match to the practical semiconductor fabrication process being employed. The SPICE models with LEVEL=7 for PSpice, and LEVEL=49 for HSPICE are recommended to apply for your circuit simulation.

### 7.3 Preampifier circuit

前置増幅器の回路構成の具体例を、図 6 に示した。回路は、pMOS トランジスタ三個 (M1、M4 及び M5) と、nMOS トランジスタ二個 (M2 及び M3) とから構成されている。

M1 は、「入力トランジスタ」と呼ばれるものであって、増幅器全体の  $g_m$  を決定している。この  $g_m$  は、検出器容量と協働して主要な雑音の原因を構成している。したがって、 $g_m$  を大きく設定しようと思えば、M1 として、nMOS トランジスタを選択することが有利であるようにも考えられる。

しかし、pMOS は、nMOS との比較で低レベルの  $1/f$  雑音を示すことが知られている。また、バックゲートとソースの電位を基準電位としての GND に固定できれば回路設計上も便利である。そこで、n-well CMOS プロセスを仮定して、M1 として pMOS トランジスタを選択した。

M5 および M2 は、基準バイアス回路からの電圧  $VH$  及び  $VL$  を受けて、それぞれ  $0.1 * I_{ref}$ 、 $1.1 * I_{ref}$  の定電流を生成するようになっている。したがって、入力トランジスタ M1 は、 $I_{ref}$  の電流で駆動されていることになる。

M3 は、§7.2.2 で議論したカスコードトランジスタである。主たる目的は、出力である  $AOUT$  ノードにおける出力インピーダンスを高く設定するためである。また、補充的に M1 に付随するミラー容量を低減するという効果もある。

M1 と M3 のトランジスタの種類が異なるため、カスコード回路が折りたたまれたような構成となっている。これを、通常のカスコード回路と区別して「folded-cascode」ということがある。

M4 も M5 との関係においてカスコードトランジスタであるが、こちらの方は、通常のカスコード回路の構成を採っている。

また、M5、M4 による出力インピーダンスは、M1、M3 による出力インピーダンスに比べて十分大きいと考えることができるから、回路全体の出力インピーダンスは、主に M1、M3 の出力インピーダンスによって制限されていると考えることができる。

Fig. 6 shows a CMOS preamplifier circuit as an example.

The preamplifier circuit consists of three pMOS transistors (M1, M4 and M5) and two nMOS transistors (M2 and M3).

M1 is the input transistor which determines the transconductance,  $g_m$ , of the amplifier circuit. The transconductance of the input transistor interacts with the detector capacitance to contribute as a major component of the electronic noise.

It might appear that we should employ an nMOS transistor of M1 for the purpose of obtaining a larger  $g_m$ , and, hence, reducing the electronic noise.

It is known that the  $1/f$  noise of the pMOS transistor is smaller than that of the nMOS. In addition, it is convenient for designing the circuit if the source node of the input transistor is tied to the ground level together with the back-gate. We then choose here to employ a pMOS transistor as an input transistor under the assumption that an n-well CMOS fabrication process is going to be applied.

M5 acquires  $VH$  on the gate to generate a constant current of  $0.1 * I_{ref}$ ; M2 acquires  $VL$  on the gate to generate a constant current of  $1.1 * I_{ref}$ ; hence, the input transistor, M1, is driven by a drain current of  $I_{ref}$ .

M3 is the cascode transistor, as discussed in §7.2.2. The cascode circuit additionally takes a role to reduce the effect of the Miller capacitance as well as to increase the output impedance at the node  $AOUT$ .

The cascode circuit described here is different from that discussed in §7.2.2, since the transistor type of M3 is different from that of M1, and, hence, the circuit configuration is sometimes quote as "folded cascode".

On the other hand, the cascode circuit, which consists of M4 and M5, is exactly identical to the circuit discussed in §7.2.2.

The output impedance of the cascode circuit consisting of M4 and M5 is estimated to be much larger than the output impedance of the cascode circuit consisting of M1 and M3, and, hence, the effective output impedance is considered to be bounded by the output impedance of the folded cascode circuit portion.

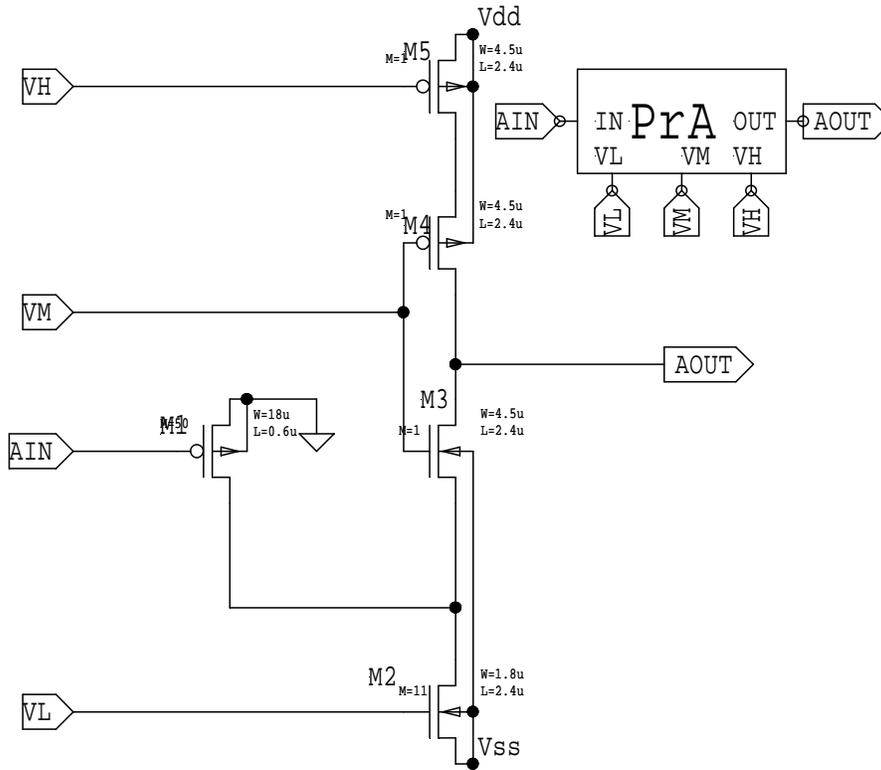


Figure 6: Schematic of the CMOS preamplifier

#### 7.4 Feed-back ratio versus open-loop gain.

§7.2.1において、荷電収集効率を向上させるためには、オープンループゲインを高く設定することが重要であることを説明した。

荷電収集効率は、一方では、 $C_f$  を大きく設定することでも改善することができるのであるが、これでは、利得が下がってしまうので、面白くない。そうすると、 $C_f$  を小さく設定し、かつ、オープンループゲインを大きく設定することができれば、理想的であると考えられる。

しかし、 $C_f$  を小さく設定すると帰還率が低下し、信号の立ち上がり時間が劣化することが考えられる。また、オープンループゲインを高く設定することにより、マイナーポールの影響が顕在化する虞もある。

帰還回路の特性を理解するためには、その特性方程式、 $1 + \mu(s)A(s) = 0$ 、を調べるのが便利である。

In §7.2.1, we have discussed that the higher open-loop gain achieves a higher charge collection efficiency.

The charge-collection efficiency could be improved by employing a larger capacitance for  $C_f$ , which, however, lowers the overall amplification gain and is not interesting. An ideal way is to increase the open-loop gain and at the same time to decrease the capacitance  $C_f$ .

A side effect of the small  $C_f$  results in a reduction of the feed-back ratio to deteriorate the rise time at the output of the preamplifier. The side effect of the large open-loop gain results in a circuit-instability manifested by the minor pole.

In order to analyze the characteristics of the feed-back circuit it is convenient to investigate the behavior of the characteristic equation,  $1 + \mu(s)A(s) = 0$ ,

ここで、 $\mu_0 = \frac{C_f}{C_f + C_D}$ 、 $C_L$  を前置増幅器の出  
力部に設けられた容量性の負荷、 $C_D$  を入力 FET  
のゲート容量と検出器容量との合成容量とし、さ  
らに、 $r_0$  を前置増幅器の実効的な直流負荷とす  
ると、帰還率  $\mu(s)$  は、

$$\mu(s) = \frac{\mu_0(1 + sC_L r_0)}{1 + sr_0(C_L + \mu_0 C_D)},$$

のように表わすことができる。また、 $A(s)$  は、  
 $A_0 = g_m r_0$  を低周波極限でのオープンループゲイ  
ンとし、 $\phi(s)$  をマイナーポールの寄与とすると、

$$A(s) = \frac{A_0 \phi(s)}{1 + sr_0 C_L},$$

のように表わす事ができる。したがって、結局、特  
性方程式は、

$$1 + sr_0(C_L + \mu_0 C_D) + \mu_0 A_0 \phi(s) = 0.$$

となる。ここで、マイナーポールの影響を無視す  
ると、 $\phi(s) = 1$  とすることができて、特性方程式  
の解として、

$$s = -\frac{1 + \mu_0 A_0}{r_0(C_L + \mu_0 C_D)}.$$

を得る。一般に、帰還系のインパルス応答におけ  
る立ち上がり時定数  $t_r$  は、特性方程式の解の逆数  
として表わすことができる。ここで、 $\mu_0 A_0 \gg 1$   
を考慮すると、 $t_r$  は、

$$t_r = \frac{C_D}{g_m} + \frac{C_L}{\mu_0 g_m}.$$

のように評価することができる。  
そこで、第一の結論として、帰還率を過度に下げ  
ると信号の応答時間が劣化することを指摘するこ  
とができる。ここでの一応の目安は、 $\mu_0 > \frac{C_L}{C_D}$  で  
ある。

つぎに、 $\phi(s) = \frac{1}{(1 + s/s_m)^2}$  なる特性を持つもの  
と仮定してみる。すなわち、二番目、三番目のポー  
ルが縮退しているものとする。このとき、特性方  
程式は、

where  $\mu(s)$  and  $A(s)$  are the feed-back ratio and  
the open-loop gain as a function of the frequency  
variable,  $s = i\omega$ .

In more detail,  $\mu(s)$  can be written as

where  $\mu_0 = \frac{C_f}{C_f + C_D}$  is the DC feed-back ratio,  
 $C_L$  is the capacitive load at the output node of  
the preamplifier,  $C_D$  is the detector capacitance  
where incorporated is the gate capacitance  $C_G$ ,  
and  $r_0$  is the effective DC load/impedance at the  
output node.

On the other hand,  $A(s)$  can be written as

where  $\phi(s)$  represents the contribution from mi-  
nor poles.

Then, the characteristic equation is rewritten as

As long as the minor poles are negligible, we can  
set  $\phi(s) = 1$ . The solution of the characteristic  
equation gives

The signal's rise time,  $t_r$ , for the impulse re-  
sponse is in general defined as the inverse of the  
solution of the characteristic equation. Taking  
into account of the numerical relations  $\mu_0 A_0 \gg$   
1, we obtain

The first conclusion derived is that the signal's  
rise time is deteriorated for a smaller value of the  
DC feed-back ration,  $\mu_0$ . Then, it is reasonable  
to take  $\mu_0$  as  $\mu_0 > \frac{C_L}{C_D}$ .

Assuming that the minor pole contribution can  
be represented as  $\phi(s) = \frac{1}{(1 + s/s_m)^2}$ , i.e. the  
second and third poles are degenerated, the char-  
acteristic equation is rewritten as

$$\{1 + sr_0(C_L + \mu_0 C_D)\}(1 + s/s_m)^2 + \mu_0 A_0 = 0.$$

となる。通常の方法<sup>a</sup>により回路安定性の条件を求めるために、偶数次の特性方程式と、奇数次の特性方程式とに分解すると、それぞれ、

<sup>a</sup>フルヴィッツの安定性判別法

$$1 + \mu_0 A_0 + \{(C_L + \mu_0 C_D) \frac{2r_0}{s_m} + \frac{1}{s_m^2}\} s^2 = 0, \text{ and}$$

$$\{r_0(C_L + \mu_0 C_D) + \frac{2}{s_m}\} s + r_0(C_L + \mu_0 C_D) \frac{1}{s_m^2} s^3 = 0.$$

を得る。これらの解が、虚数軸上で交互に並ぶことが安定性の条件であるから、結局、

$$\mu_0 A_0 < 2\{r_0(C_L + \mu_0 C_D)s_m + \frac{1}{r_0(C_L + \mu_0 C_D)s_m}\} + 4.$$

を得る。数値を代入してみれば分かるように、一般に  $r_0(C_L + \mu_0 C_D)s_m \gg 1$  であるから、上記不等式右辺の第一項が主たる寄与をなす。そこで、

$$\mu_0 A_0 < 2r_0(C_L + \mu_0 C_D)s_m.$$

を用いて安定性を評価してみようと思う。

例えば、 $C_f = 0.2 \text{ pF}$ 、 $A_0 = 10^4$ 、 $r_0 = 5 \text{ M}\Omega$ 、 $C_L = 0.1 \text{ pF}$ 、 $C_D = 10 \text{ pF}$ 、とすると、 $s_m > 6.62 * 10^7$  であれば安定であることが分かる。

図 7 には、いわゆるナイキストダイアグラムを示した。三本の曲線は、それぞれ、 $s_m = 1. * 10^7$ 、 $s_m = 6.62 * 10^7$ 、及び  $s_m = 10. * 10^7$  に対応している。

曲線の始点と終点に対応する周波数は、 $1.2 \text{ MHz}$  と  $21 \text{ MHz}$  である。

曲線が、 $(-1,0)$  を左にみて回転していく限りにおいては、回路は安定である一方、右に見て回転していく時には不安定である。

結局のところ、ナイキストダイアグラムと、特性方程式による解析とは、同一の結論に至ることが解る。

そこで、第二の結論として、 $C_L$  を強制的に付加することによって、立ち上がり時間の犠牲を伴うものの、安定性領域を広げることができることを指摘する。因みに、 $C_L = 0.5 \text{ pF}$  とすれば、 $s_m > 2.81 * 10^7$  の領域を安定領域とすることができる。対応するナイキストダイアグラムを図 8 に示しておいた。

As is usual for the Hurwitz criterion, we separate the characteristic equation into two parts: the odd ordered part and the even ordered part, as follows:

When the circuit is stable, the solutions for the above equations are alternatively located on the imaginary axis, which gives the following equality as the stability condition:

Once you put actual numbers for each variable, you find that the first term constitutes a major contribution over the rest, and, hence, we can simplify the above inequality as follows:

Putting such parameters as  $C_f = 0.2 \text{ pF}$ ,  $A_0 = 10^4$ ,  $r_0 = 5 \text{ M}\Omega$ ,  $C_L = 0.1 \text{ pF}$  and  $C_D = 10 \text{ pF}$ , we find that the circuit is stable for  $s_m > 6.62 * 10^7$ .

Fig. 7 shows the so-called Nyquist diagram, where depicted are three curvatures corresponding to  $s_m = 1. * 10^7$ ,  $s_m = 6.62 * 10^7$  and  $s_m = 10. * 10^7$ .

The start/stop frequencies are  $1.2 \text{ MHz}$  and  $21 \text{ MHz}$ , receptively.

As long as the curvature rotates around  $(0,0)$  seeing  $(-1,0)$  on its left-hand side, the circuit is stable. On the other hand, the curvature shows the circuit instability when seeing  $(-1,0)$  on its right-hand side.

Eventually, you find that the Hurwitz and the Nyquist criteria reach an identical conclusion.

The second conclusion implied by the above discussion is that the stability region for  $s_m$  can be expanded by artificially adding  $C_L$  with some sacrifice on the rise-time performance.

If we take  $C_L = 0.5 \text{ pF}$ , the stability region is expanded down to  $s_m = 2.81 * 10^7$ . The corresponding Nyquist diagram is shown in Fig. 8.

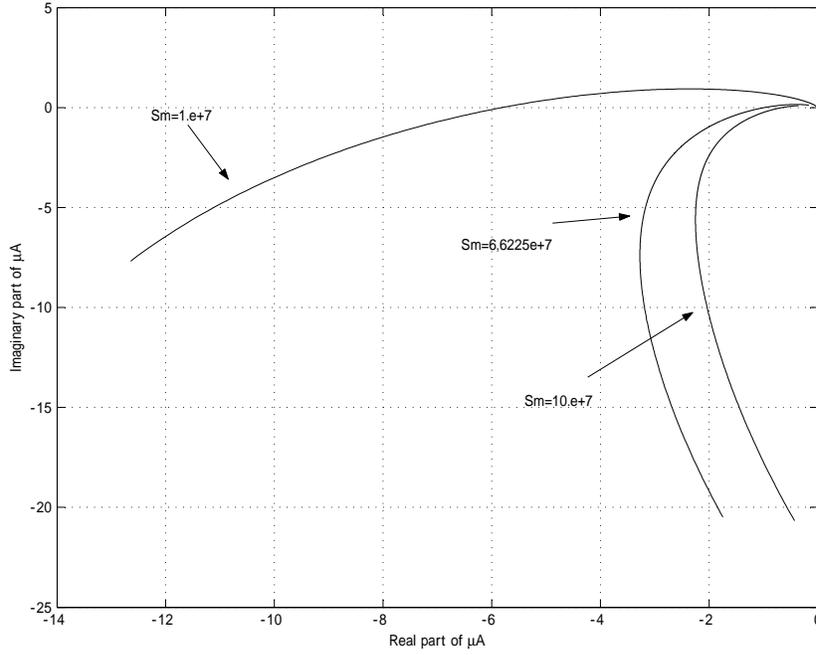


Figure 7: Nyquist diagram for the CMOS preamplifier with  $C_L = 0.1 \text{ pF}$

また、 $A_0 \leq 2r_0C_Ds_m$  の場合には、 $\mu_0$  の如何にかかわらず安定性が確保できる。一方、 $A_0 > 2r_0C_Ds_m$  の場合には、 $C_L$  との相対で  $\mu_0C_D$  を減少させることによって安定性を確保することができる。

なお、 $s_m$  の位置は、カスコードトランジスタのサイズ (M) を大き目にとることによって高周波側に追いやる事ができる。カスコードトランジスタのソースインピーダンスが低下するため対応する時定数が小さくなるからである。

さらに、検出器が付き込まれていない場合の問題点について言及して置こうと思う。

安定性条件が、検出器が付き込まれた状態で満足されていたとしても、集積回路単体での試験・調整時に回路不安定性の問題を生ずる虞がある。すなわち、 $C_D$  が減少すると、 $\mu_0$  が増加する一方、 $\mu_0C_D$  は、それに対して鈍感だからである。

したがって、検出器が付き込まれない状態においても安定性が確保されていることを確認しておく事も重要である。

Further insight concerning the above inequality indicates that the above inequality stands irrelevant of the value for  $\mu_0$  as long as  $A_0 \leq 2r_0C_Ds_m$ , and that the stability is recovered by decreasing the value for  $\mu_0C_D$  relative to  $C_L$ , even for  $A_0 > 2r_0C_Ds_m$ .

The location of  $s_m$  can be moved to the high-frequency side by taking a larger value of M for the cascode transistor, M3, in Fig. 6, since the time constant associated with the internal node, which corresponds to M1's drain and M3's source, is reduced by increasing the transconductance of M3.

Finally we discuss a possible instability, which might be raised when the amplifier is detached from a detector.

Even if the stability is satisfied in a normal condition where the amplifier is loaded by the detector capacitance,  $C_D$ , it may happen that the circuit raises an instability when the circuit is examined by itself.

Since the  $\mu_0$  on the left-hand side of the inequality is easy to increase, while  $\mu_0C_D$  is not so sensitive as  $\mu_0$ , the inequality might not stand any more.

Then, the last conclusion is that it is important to examine the circuit stability without any detector capacitance as well as the stability with a proper detector capacitance.

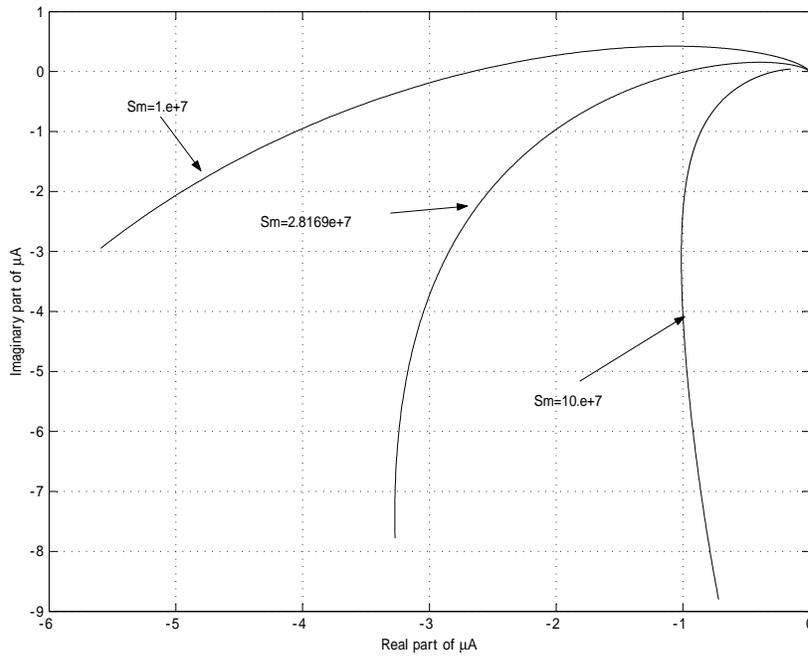


Figure 8: Nyquist diagram for the CMOS preamplifier with  $C_L = 0.5 \text{ pF}$ .

## A Notice

### レポート課題(4)

前置増幅器及び整形増幅器、それぞれの役割について、要点をリストし、リストの各項目について簡単に議論して下さい。

併せて、汎用の演算増幅器を放射線検出器用途の前置増幅器における増幅要素として直接用いる事が困難である理由について論述して下さい。

### Subject for report (4)

Make a list for the functions of the preamplifier and the shaping amplifier, and then to briefly discuss each item of your list.

In addition to the above discussion, consider the reason why it is not feasible to directly employ versatile operational amplifiers as an amplification element of the preamplifier for the radiation measurement.

以上