
高度センサー信号処理のための Analog-VLSI Open-IP(1)

池田 博一*

宇宙航空研究開発機構 宇宙科学研究本部

平成 16 年 6 月 7 日

概要

高機能高性能の Analog-VLSI を短時間で効率良く、しかも一定の確実性をもって開発することができるような礎を構築すべく、公開の IP として Analog-VLSI のビルディングブロックを提供します。第 1 章では、回路の記述方法について概説しておきたいと思います。

目次

1	回路記述	19
1.1	回路図とネットリスト	19
1.2	フラット設計と階層化設計	20
2	回路記述の手順	21
2.1	トランジスタレベルでの記述	21
2.1.1	入出力端子	21
2.1.2	電源	21
2.1.3	デジタル回路とアナログ回路	22
2.2	シンボルの生成	22
2.3	上位階層の記述	22
2.4	最上位階層の記述	23
3	準拠する半導体プロセス	23
4	露光マスクのレイアウトについて	23

1 回路記述

1.1 回路図とネットリスト

電子回路を記述する方法には、大きく分けていわゆる回路図(「スキマティック」ともいいます。)による方法と、ネットリストによる方法とがあります。

回路図は、回路要素(抵抗、容量、トランジスタ、集積回路等)に対応する図形を配置して、それらの間に配線を施すことによって電子回路の構成を示すものです。

*ikeda.hirokazu@jaxa.jp

しかし、回路図による方法では、小規模の回路では回路全体を直感的に見渡すことができるという利点がある一方、規模の増大にともなって結合情報の集約が困難になるという欠点があります。回路図が複雑になると、実際問題として配線が見づらくなるという問題があります。

一方、ネットリストによる方法では、回路部品ないし回路ブロックごとの結合情報をリスト形式で表現する方法をとります。ネットリストによる方法では、小規模の回路ではリストを構成することの煩雑さから、かえって迂遠な方法を採用しているようにも思えますが、回路の規模の増大に伴い計算機の力を得て回路の表現手段としての有効性が顕在化します。

しかし、ネットリストでは回路構成を直感的に把握することは非常に困難です。

そこで、回路の構成は、回路図を用いて表現し、これをネットリストに変換することによって回路シミュレーション及び配置配線にかかる物理設計の用に供することが通常行われています。

実際アナログ回路の設計環境においては、いわゆる回路図エディターが用意されていて、これを用いて構成した回路図面を SPICE のネットリストに変換することができるようになっています。一方、Verilog や VHDL といった回路記述言語を用いるデジタル回路設計においては、電子部品を組み合わせる回路を構成するのではなく、むしろ回路の動作を記述することに力点を置いた設計手法が主流となってきたため、回路図による設計は、手段として少しずつ傍系となってきました。

1.2 フラット設計と階層化設計

回路を記述する方法には、回路図とネットリストといった区別のほかに、フラット設計と階層化設計という区別があります。

フラット設計とは、全体回路において必要とされるすべての回路要素が一枚（複数葉に渡っている場合であっても本質的に一階層）の設計図面に明示的に表現されるようにしたものを行います。一方、階層化設計とは基本的な要素を組み合わせ、これによって一定の機能を果たすことができるようにしたものをサブサーキットとし、次の階層では、サブサーキットを組み合わせることによってサーキットブロックを構成し、さらに順次大きな回路ブロックを組み合わせることにより、全体回路を表現するような方式を言います。

フラット設計は、主にプリント基板設計用の回路図面において用いられています。プリント基板の設計は、抽象的な電子回路を幾何学的な形状を有する具体的な電子部品に置き換えて配置配線を行うものですから、すべての部品が同一階層で表現されていることに一定の利益を見出すことができます。

ところが、集積回路の設計において、これをフラット設計によって表現しようとする、要素の数が膨大であることから、設計の負担が過大になりがちです。そこで、トランジスタを明示的に含む比較的小規模の回路をサブサーキットとして定義し、これを用いて次の階層の機能ブロックを構成することが便宜です。また、階層化設計においては、たとえば最下層の設計を暫定的に機能レベルで記述しておいて、上位の設計を先行するといったことも可能となります。

もっとも、集積回路においても最終的に稠密なレイアウトを行うためには、階層化設計で表現された電子回路を、フラット設計に変換した上で配置配線を行うことも行われています。こうすることによってブロックとブロック間に発生する微妙な間隙の積み重なりを排除して回路の占有する面積を節約することができるからです。

しかし、これは、自動化された配置配線を行う場合に初めて有利な効果として認識されるものであって、いわゆる人力によるレイアウト作業の場合には、階層化設計にしたがって回路ブロックのレイアウトを構成し、これを組み合わせていくことによって、作業の効率化と誤りの可及的排除を図ることが有効であると考えます。

2 回路記述の手順

2.1 トランジスタレベルでの記述

ここでは、CMOS 集積回路に特化して回路記述の手順と手法を説明したいと思います。

CMOS 集積回路の中心となる構成要素は、PMOS トランジスタと NMOS トランジスタです。これらの外、抵抗、及び容量を用いることができます。抵抗は、ポリシリコン抵抗、拡散抵抗によって作りこむことができます。しかし、 $M\Omega$ 領域に抵抗をこれらの手段によって作りこむことは非常に困難です。一方、容量は、ポリシリコンを電極とし、酸化膜を絶縁層として構成することができます。用途によっては、電極の一方を、アルミ電極ないしは、拡散層によって構成することも可能です。しかし、これらの容量も実用的には、 1 pF なししそれ以下の容量値に限定されます。なお、いわゆるインダクタンスを構成することは、超高周波領域を除けば実用的には用いられていません。

2.1.1 入出力端子

回路ブロックと外界との接点を入出力端子といいます。端子には、入力端子、出力端子、及び双方端子があります。

入力端子とは、外界からの信号を受信する端子を言います。出力端子とは、外界に対して信号を送出する端子を言います。双方向端子とは、バス結合をしているような端子の場合及びスイッチ回路の端子といった場合に該当します。

これらの区別は、回路図エディターにおいて図面の整合性を確認する目的で用いられることがあります。

一般に、入力端子を図面の左側に、出力端子を右側に配置して、全体として信号が左から右に向かって流れるように記述することが通常行われています。

2.1.2 電源

電源は VDD、VSS のように指定します。VDD が高電位側、VSS が低電位側に対応しています。このような表現は NMOS 集積回路が主流であった時代の名残であると考えられます。すなわち、NMOS トランジスタのソース側で用いられる電源が VSS で、ドレイン側に供給される電源が VDD といった具合です¹。

アナログ用の電源とデジタル用の電源とを区別したい場合には、デジタル用として VDDD、VSSD、アナログ用として VDDA、VSSA のように表示することもあります。

これらの電源及び GND については、回路図に端子を設ける代わりにこれらをグローバルノードとして取り扱うことが行われています。個々の回路ブロックにおいて用いられている電源について一々端子を設けると回路図が煩雑になり過ぎるからです。具体的には、例えば

```
.Global VSS VDD GND
```

のようにネットリストにおいて宣言します。もっとも GND は、通常このような宣言がなくてもグローバルノードとして取り扱われるようになっていると思います。

¹バイポーラの回路では VCC、VEE といった表記をしています。

2.1.3 デジタル回路とアナログ回路

デジタル回路とは、計算機回路に代表されるようなバイナリー信号を専ら取り扱う回路をいいます。これに対して、アナログ回路とは、連続した信号レベルを受信し、出力するようになっている回路をいいます。

デジタル回路は、一般にその高速なスイッチング特性のために電源線にスパイク状の電流を誘起します。これが、配線抵抗によって電圧に変換され、微小信号を取り扱っているアナログ回路と干渉することがあり得ます。

そこで、第一には、アナログ用の電源とデジタル用の電源とを相互に分離することが行われています。

しかし、いわゆる n-well CMOS プロセスにおいては、NMOS トランジスタのサブストレートは、アナログ回路においても、デジタル回路においても同一とならざるを得ません。

このため、第二には、アナログ回路を配置する領域と、デジタル回路を配置する領域とを明確に分離してその境界にサブストレートの電位を安定化するための VSS コンタクトを多数設けることが行われています。サブストレートコンタクト用の VSS には通常アナログ用の電源 VSSA が用いられます。

さらに、VSSA と VSSD とは集積回路上では明確に分離し、必要であれば集積回路の外部において接続するようにします。

2.2 シンボルの生成

シンボルとは、下位の階層の回路を表象するために上位の階層において用いられる図形です。

シンボルは、端子とボディーとから構成されています。

端子には、既に述べたように、入力端子、出力端子、双方向端子の区別があります。また、各端子には、回路図における端子と対応をとるために、それらと同一名称が割り振られます。

ボディーは、通常三角形ないし矩形といった単純な図形が用いられます。ボディーには、端子名称、及びその表象する下位の回路名称の略称を記載しておきます。

2.3 上位階層の記述

上位階層においてシンボルを配置することを「インスタンスを置く」といいます。

同一のシンボルが上位回路図面において配置された場合にこれらを相互に区別するために「インスタンス符号」が用いられます。インスタンス符号は通常 X を先頭に付した連番になります。必要であれば X の後ろに数字以外のアルファベットを用いることができます。アルファベット以外の特殊文字の使用も可能です。しかし、処理系によってはエラーを誘発することがありますので推奨できません。

ちなみに、抵抗、容量、電圧源、電流源等の基本的な回路要素のインスタンス符号は、それぞれ R、C、V、及び I を先頭に付した連番となります。

このようにして構成される階層は、一定程度レイアウトを意識した構成にすることが望ましいものと考えます。レイアウトの作業者が、下位の階層から順番にレイアウトを完成させることができるように配慮することによって、作業効率の向上を図ることができるからです。また、レイアウトの検証においても、階層構造を頼りとして回路の特定個所を探索することができれば便宜です。

2.4 最上位階層の記述

このようにして、階層を積み上げていくと、最終的に目的とする機能をすべて盛り込んだ電子回路が完成します。これをコア回路といいます。

しかし、これだけでは集積回路の設計は完成したとはいえません。コア回路を外界に接続するための調停を司る仕組みが必要となります。コア回路は、過電圧によって容易に破壊されてしまうため、静電気等の放電にも耐えうる保護回路を挿入する必要があります。また、コア回路全体に信号を適正に行き渡らせるためには、外部からの信号を低インピーダンスで中継再送する必要もあります。さらに、外部信号の論理レベルを内部信号の論理レベルに変換する必要もあります。

そこで、集積回路の周辺部には、ボンディングパッドを伴った、静電気保護回路、バッファ回路、レベル変換回路等が配置され、コア回路はこれらに取り囲まれるようにレイアウトされます。

さらに、それぞれの電源値に対応して電源導入用のボンディングパッドを複数設ける必要があります。一箇所から給電するだけでは、内部配線による電圧降下によって回路動作が不良となったり、所要の性能が達成できないこととなる可能性があるからです。

3 準拠する半導体プロセス

本研究課題において提示する open-IP は、 $0.35 - \mu\text{m}$ n-well CMOS に対応しています。これらは、VDEC を経由して、ROHM 社²の $0.35 \mu\text{m}$ プロセスにおいて、ないし TSMC 社³の A/D-混載用 $0.35 \mu\text{m}$ プロセスにおいて、または同等の半導体製造プロセスを用いて製造されることを期待しています。

また、回路シミュレーションで用いられている SPICE モデルは BSIM3 となっています。

4 露光マスクのレイアウトについて

本 Open-IP の公開にあたっては、露光マスクの設計データについてはこれを提示しないことにしています。露光マスクの設計データは、各製造メーカーのノウハウが凝縮されたものであり、私法上の機密保持契約不履行の問題、不正競争防止法上の問題、ないしは特許法上の問題を発生させるおそれがあるからです。

しかし、デザインルールが提供されるからといって、独自に露光マスクを設計することは負担が大きすぎます。

そこで、通常は、当該半導体製造プロセスに関するデザインルールに精通しているデザインハウスを利用するようにします。なお、当該デザインハウスは、半導体製造メーカーと個別的または包括的機密保持契約を締結していることが前提となることにも留意してください。

以上

²<http://www.rohm.co.jp/index-j.html>

³<http://www.tsmc.com/english/default.htm>