

---

# 高度センサー信号処理のための Analog-VLSI Open-IP(15)

池田 博一\*

宇宙航空研究開発機構 宇宙科学研究本部

初版：平成 17 年 12 月 28 日

---

## 概要

本文書は、沖電気工業株式会社の提供する 0.15  $\mu\text{m}$  FD SOI CMOS プロセス用に調整された IP を提供するものです。本稿では、電源導入パッド、及び入出力パッドの回路構成を取り上げます。

## 目次

1 デジタル入出力パッド	280
2 アナログ入出力パッド	285

## 表目次

1 デジタル電源の種別	280
2 デジタル電源の種別	286

## 図目次

1 デジタル入出力パッドのシンボル一覧	280
2 CORNER_CELL 回路	281
3 ADD_VSS_CORE 回路	281
4 ADD_VDD_CORE 回路	281
5 ADD_VSS_OUT 回路	282
6 OBUF 回路	282
7 IBUF 回路	283
8 PAD_IBUF_DIGITAL 回路	283
9 アナログ入出力パッドのシンボル一覧	286
10 PAD_IOVDDA 回路	286
11 PAD_IOGNDA 回路	286
12 PAD_COREVDDA 回路	287
13 PAD_COREGNDA 回路	287

---

\*ikeda.hirokazu@jaxa.jp

14	ADD_COREVDDA 回路	287
15	PAD_COREGNDA 回路	288
16	PAD_IBUF_ANALOG 回路	288
17	PAD_IBUF_WORES 回路	288

## 1 デジタル入出力パッド

図 1 には、デジタル電源及びデジタル入出力用のパッド回路の一覧を示しました。

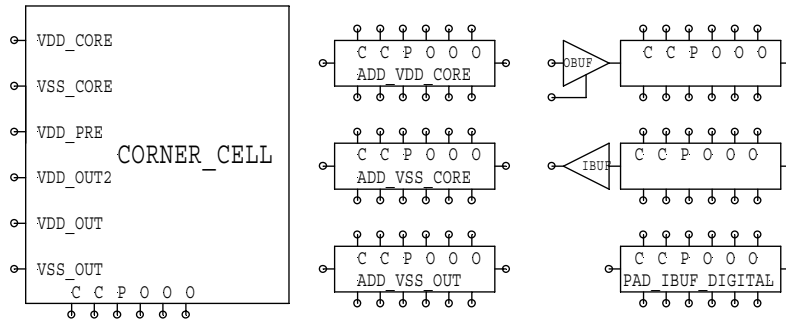


図 1: デジタル入出力パッドのシンボル一覧

表 1 には、デジタル電源の種別を示した。これらの電源は、CORNER\_CELL(図 2) を経由して集積回路に供給するようになっている。

表 1: デジタル電源の種別

電源名称	具体的適用
VSS_OUT	デジタル低電位側、パッド用電源
VDD_OUT	デジタル高電位側、パッド用電源
VDD_OUT2	デジタル高電位側、パッド用電源
VDD_PRE	デジタル高電位側、パッド用電源
VSS_CORE	デジタル低電位側、コア用電源
VDD_CORE	デジタル高電位側、コア用電源

電源容量が不足する場合には、ADD\_VSS\_CORE 回路 (図??)、ADD\_VDD\_CORE 回路 (図 4)、ADD\_VSS\_OUT(図 5) 回路を適宜追加する。

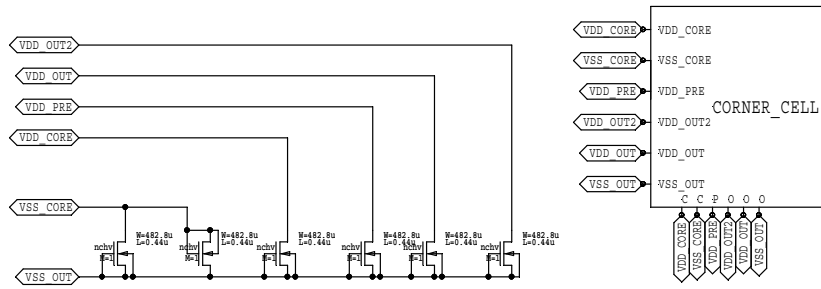


图 2: CORNER\_CELL 回路

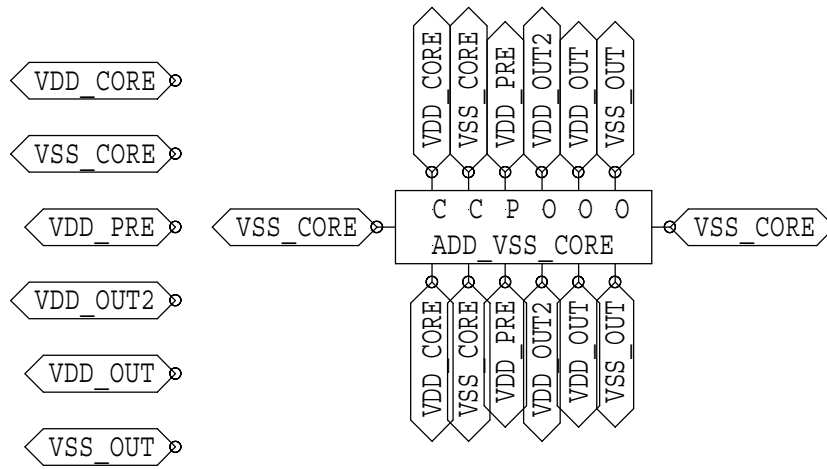


图 3: ADD\_VSS\_CORE 回路

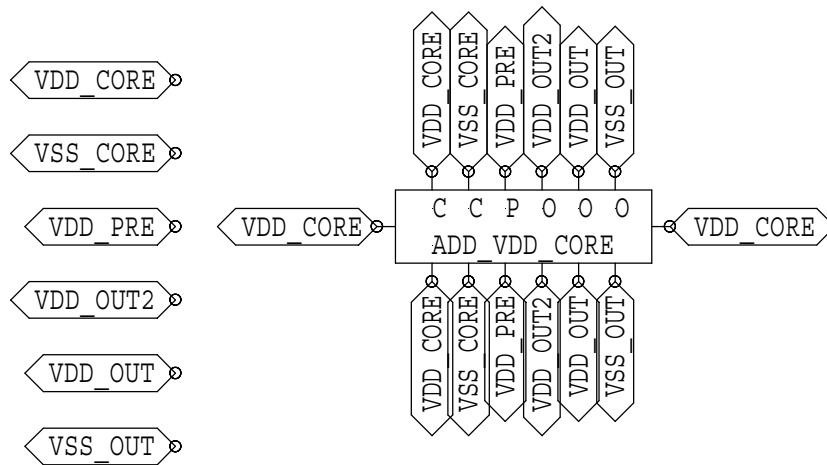


图 4: ADD\_VDD\_CORE 回路

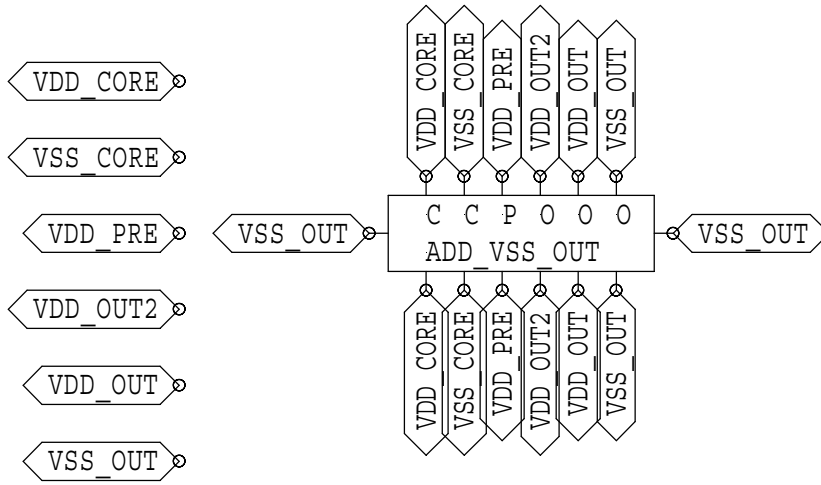


图 5: ADD\_VSS\_OUT 回路

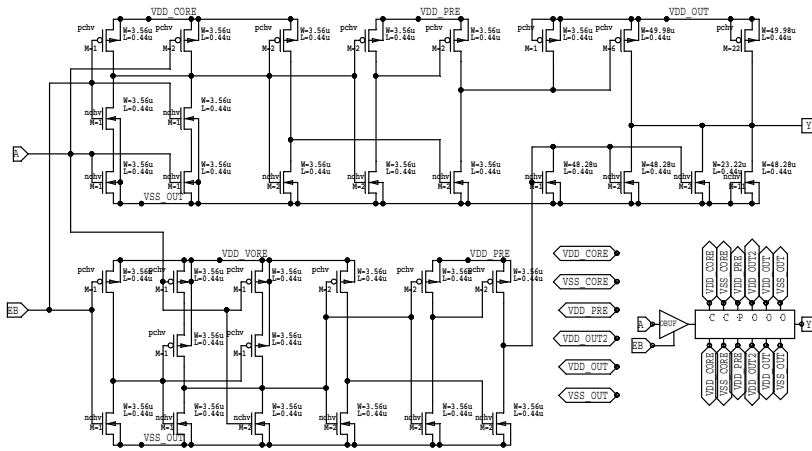


图 6: OBUF 回路

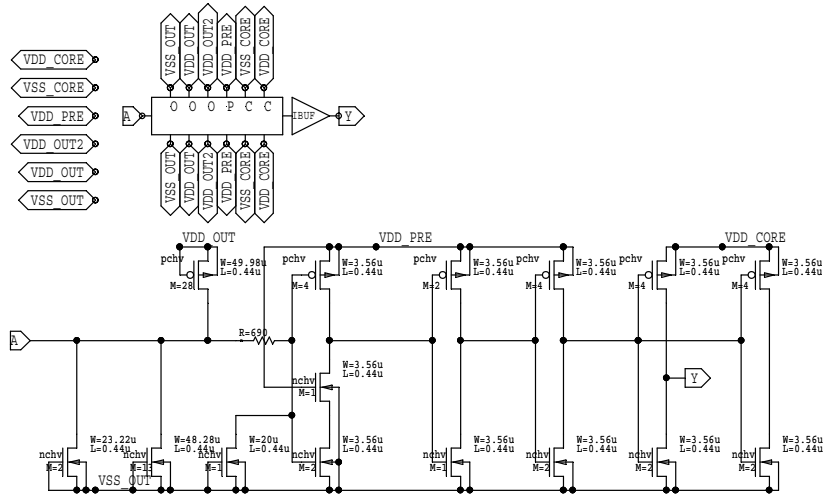


图 7: IBUF 回路

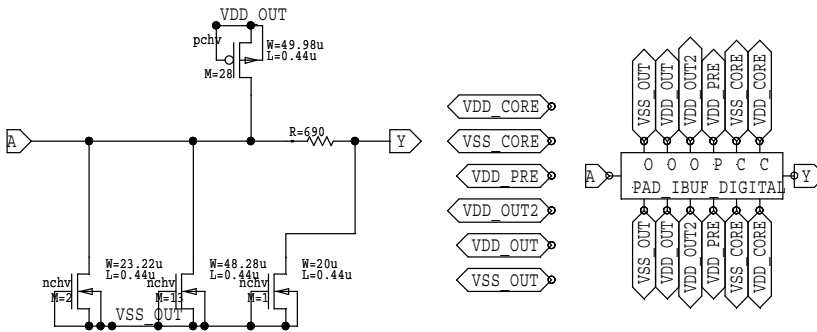


图 8: PAD\_IBUF\_DIGITAL 回路

以下に各回路のネットリストを掲げる。

```
.SUBCKT PAD_IBUF_DIGITAL A VDD_CORE VDD_OUT VDD_OUT2 VDD_PRE VSS_CORE VSS_OUT Y
M1 A VSS_OUT VSS_OUT VSS_OUT nchv L=0.44u W=23.22u M=2
M2 A VSS_OUT VSS_OUT VSS_OUT nchv L=0.44u W=48.28u M=13
M3 Y VSS_OUT VSS_OUT VSS_OUT nchv L=0.44u W=20u M=1
M4 A VDD_OUT VDD_OUT VDD_OUT pchv L=0.44u W=49.98u M=28
R5 A Y 690 TC=0.0, 0.0
.ENDS
```

```
.SUBCKT ADD_VDD_CORE VDD_CORE VDD_OUT VDD_OUT2 VDD_PRE VSS_CORE VSS_OUT
.ENDS
```

```
.SUBCKT ADD_VSS_OUT VDD_CORE VDD_OUT VDD_OUT2 VDD_PRE VSS_CORE VSS_OUT
.ENDS
```

```
.SUBCKT ADD_VSS_CORE VDD_CORE VDD_OUT VDD_OUT2 VDD_PRE VSS_CORE VSS_OUT
.ENDS
```

```
.SUBCKT CORNER_CELL VDD_CORE VDD_OUT VDD_OUT2 VDD_PRE VSS_CORE VSS_OUT
M1 VSS_CORE VSS_OUT VSS_OUT VSS_OUT nchv L=0.44u W=482.8u M=1
M2 VSS_CORE VSS_CORE VSS_OUT VSS_CORE nchv L=0.44u W=482.8u M=1
M3 VDD_PRE VSS_OUT VSS_OUT VSS_OUT nchv L=0.44u W=482.8u M=1
M4 VDD_CORE VSS_OUT VSS_OUT VSS_OUT nchv L=0.44u W=482.8u M=1
M5 VDD_OUT VSS_OUT VSS_OUT VSS_OUT nchv L=0.44u W=482.8u M=1
M6 VDD_OUT2 VSS_OUT VSS_OUT VSS_OUT nchv L=0.44u W=482.8u M=1
.ENDS
```

```
.SUBCKT OBUF A EB VDD_CORE VDD_OUT VDD_OUT2 VDD_PRE VSS_CORE VSS_OUT Y
M1 N1 EB VSS_OUT VSS_OUT nchv L=0.44u W=3.56u M=1
M2 N4 A VSS_OUT VSS_OUT nchv L=0.44u W=3.56u M=1
M3 N2 EB N4 VSS_OUT nchv L=0.44u W=3.56u M=1
M4 N17 A VSS_OUT VSS_OUT nchv L=0.44u W=3.56u M=1
M5 N2 EB N17 VSS_OUT nchv L=0.44u W=3.56u M=1
M6 N8 N2 VSS_OUT VSS_OUT nchv L=0.44u W=3.56u M=2
M7 N12 N2 VSS_OUT VSS_OUT nchv L=0.44u W=3.56u M=2
M8 N19 N8 VSS_OUT VSS_OUT nchv L=0.44u W=3.56u M=2
M9 Y N3 VSS_OUT VSS_OUT nchv L=0.44u W=48.28u M=2
M10 Y N3 VSS_OUT VSS_OUT nchv L=0.44u W=23.22u M=2
M11 N3 N3 VSS_OUT VSS_OUT nchv L=0.44u W=48.28u M=1
M12 Y VSS_OUT VSS_OUT VSS_OUT nchv L=0.44u W=48.28u M=11
M13 N9 N1 VSS_OUT VSS_OUT nchv L=0.44u W=3.56u M=1
M14 N9 A VSS_OUT VSS_OUT nchv L=0.44u W=3.56u M=2
M15 N11 N9 VSS_OUT VSS_OUT nchv L=0.44u W=3.56u M=2
```

```

M16 N14 N9 VSS_OUT VSS_OUT nchv L=0.44u W=3.56u M=2
M17 N3 N11 VSS_OUT VSS_OUT nchv L=0.44u W=3.56u M=2
M18 N1 EB VDD_VORE VDD_VORE pchv L=0.44u W=3.56u M=1
M19 N2 EB VDD_CORE VDD_CORE pchv L=0.44u W=3.56u M=1
M20 N2 A VDD_CORE VDD_CORE pchv L=0.44u W=3.56u M=2
M21 N8 N2 VDD_CORE VDD_CORE pchv L=0.44u W=3.56u M=2
M22 N12 N2 VDD_PRE VDD_PRE pchv L=0.44u W=3.56u M=2
M23 N19 N12 VDD_PRE VDD_PRE pchv L=0.44u W=3.56u M=2
M24 N19 VDD_OUT VDD_OUT VDD_OUT pchv L=0.44u W=3.56u M=1
M25 Y N19 VDD_OUT VDD_OUT pchv L=0.44u W=49.98u M=6
M26 Y VDD_OUT VDD_OUT VDD_OUT pchv L=0.44u W=49.98u M=22
M27 N13 A VDD_VORE VDD_VORE pchv L=0.44u W=3.56u M=1
M28 N7 A VDD_VORE VDD_VORE pchv L=0.44u W=3.56u M=1
M29 N9 N1 N13 VDD_VORE pchv L=0.44u W=3.56u M=1
M30 N9 N1 N7 VDD_VORE pchv L=0.44u W=3.56u M=1
M31 N11 N9 VDD_VORE VDD_VORE pchv L=0.44u W=3.56u M=2
M32 N14 N9 VDD_PRE VDD_PRE pchv L=0.44u W=3.56u M=2
M33 N3 N14 VDD_PRE VDD_PRE pchv L=0.44u W=3.56u M=2
.ENDS

.SUBCKT IBUF A VDD_CORE VDD_OUT VDD_OUT2 VDD_PRE VSS_CORE VSS_OUT Y
M1 A VSS_OUT VSS_OUT VSS_OUT nchv L=0.44u W=23.22u M=2
M2 A VSS_OUT VSS_OUT VSS_OUT nchv L=0.44u W=48.28u M=13
M3 N4 VDD_PRE N5 VSS_OUT nchv L=0.44u W=3.56u M=1
M4 N5 N3 VSS_OUT VSS_OUT nchv L=0.44u W=3.56u M=2
M5 N6 N4 VSS_OUT VSS_OUT nchv L=0.44u W=3.56u M=1
M6 N7 N6 VSS_OUT VSS_OUT nchv L=0.44u W=3.56u M=2
M7 Y N7 VSS_OUT VSS_OUT nchv L=0.44u W=3.56u M=2
M8 N2 N7 VSS_OUT VSS_OUT nchv L=0.44u W=3.56u M=2
M9 N3 VSS_OUT VSS_OUT VSS_OUT nchv L=0.44u W=20u M=1
M10 A VDD_OUT VDD_OUT VDD_OUT pchv L=0.44u W=49.98u M=28
M11 N4 N3 VDD_PRE VDD_PRE pchv L=0.44u W=3.56u M=4
M12 N6 N4 VDD_PRE VDD_PRE pchv L=0.44u W=3.56u M=2
M13 N7 N6 VDD_PRE VDD_PRE pchv L=0.44u W=3.56u M=4
M14 Y N7 VDD_CORE VDD_CORE pchv L=0.44u W=3.56u M=4
M15 N2 N7 VDD_CORE VDD_CORE pchv L=0.44u W=3.56u M=4
R16 A N3 690 TC=0.0, 0.0
.ENDS

```

## 2 アナログ入出力パッド

図9には、アナログ電源及びアナログ入出力用のパッド回路の一覧を示しました。

表??には、アナログ電源の種別を掲げた。電源容量が不足する場合には、ADD\_COREVDDA 回路

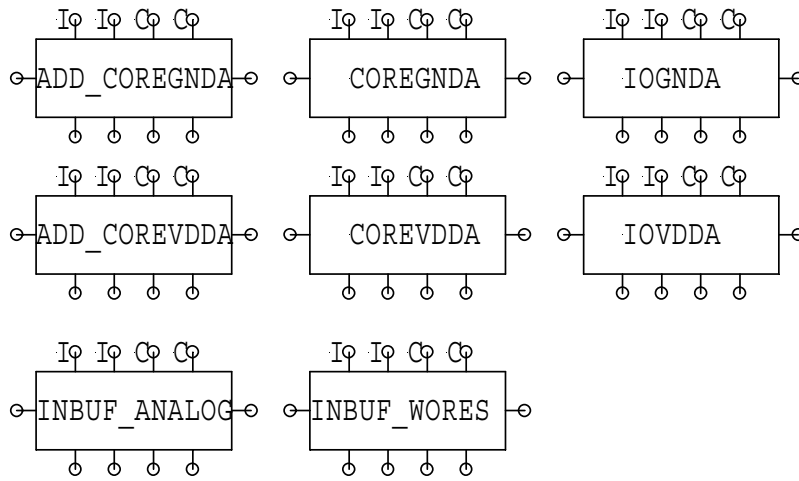


図 9: アナログ入出力パッドのシンボル一覧

(図??)、ADD\_COREGNDA 回路 (図??) を適宜追加する。

表 2: デジタル電源の種類別

電源名称	具体的適用
IOGNDA	アナログ低電位側、パッド用電源
IOVDDA	アナログ高電位側、パッド用電源
COREGNDA	アナログ低電位側、コア用電源
COREVDDA	アナログ高電位側、コア用電源

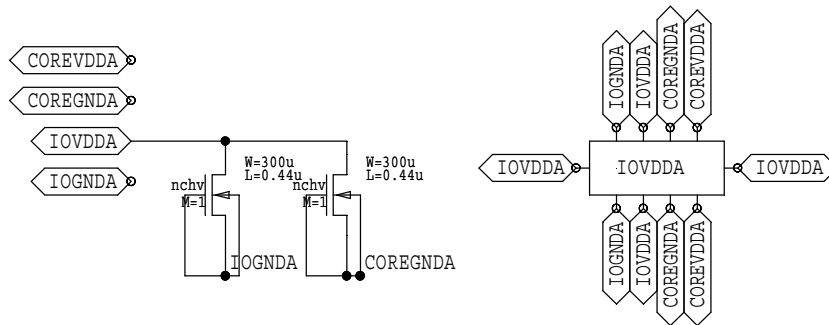


図 10: PAD\_IOVDDA 回路

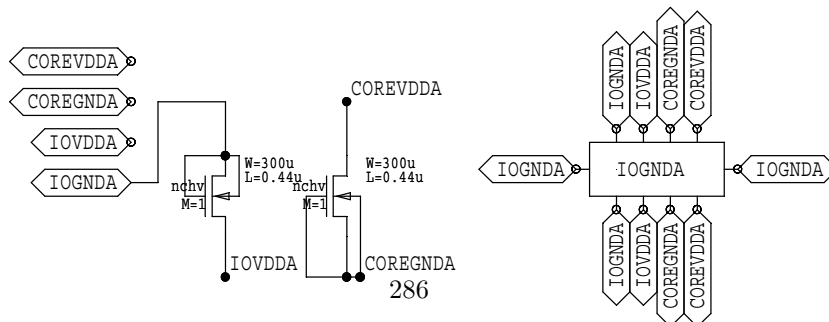


図 11: PAD\_IOGNDA 回路



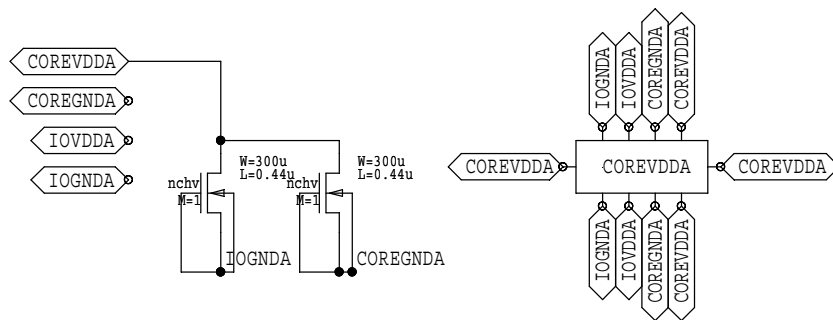


图 12: PAD\_COREVDDA 回路

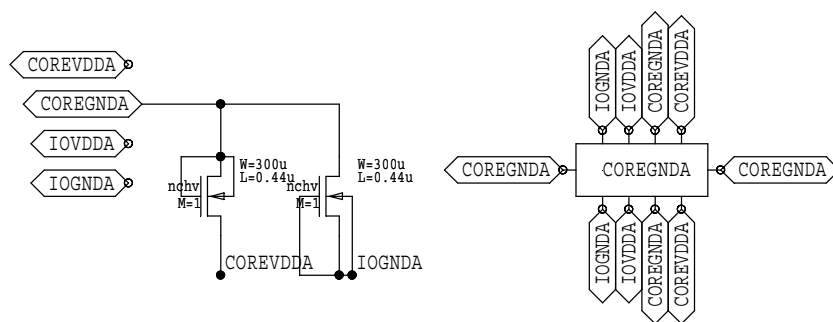


图 13: PAD\_COREGND 回路

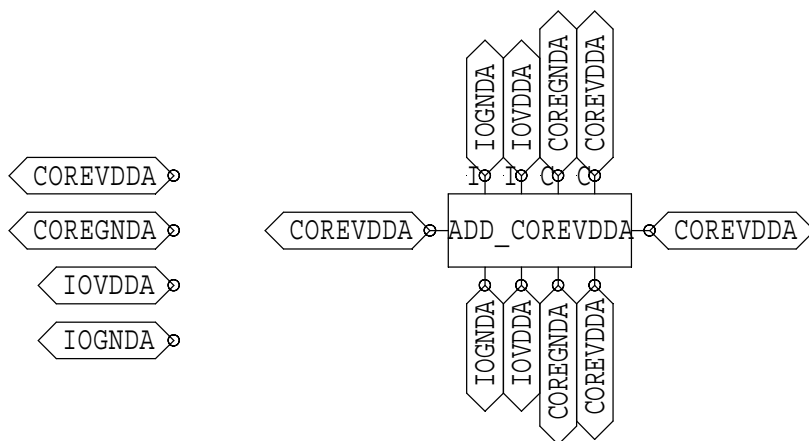


图 14: ADD\_COREVDDA 回路

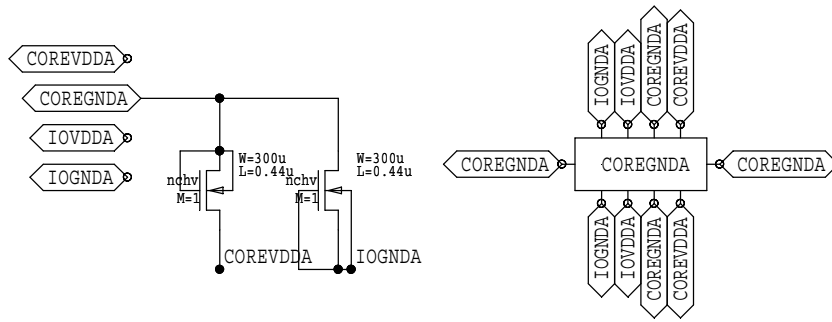


图 15: PAD\_COREGNDA 回路

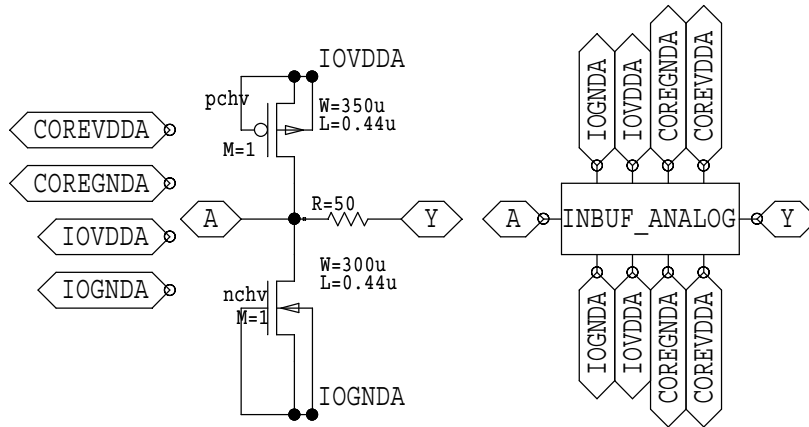


图 16: PAD\_IBUF\_ANALOG 回路

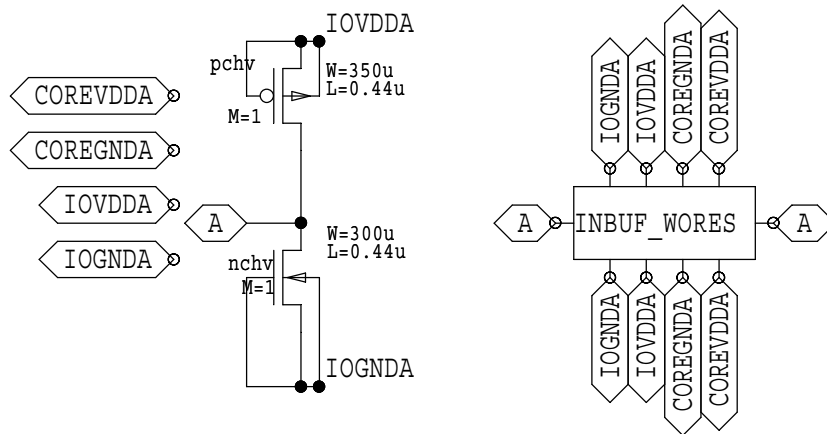


图 17: PAD\_IBUF\_WORES 回路

以下に各回路のネットリストを掲げる。

```
.SUBCKT ADD_COREGND COREGND COREVDDA IOGND IOVDDA
.ENDS
```

```
.SUBCKT PAD_IOVDDA COREGND COREVDDA IOGND IOVDDA
M1 IOVDDA IOGND IOGND IOGND nchv L=0.44u W=300u M=1
M2 IOVDDA COREGND COREGND COREGND nchv L=0.44u W=300u M=1
.ENDS
```

```
.SUBCKT PAD_COREVDDA COREGND COREVDDA IOGND IOVDDA
M1 COREVDDA IOGND IOGND IOGND nchv L=0.44u W=300u M=1
M2 COREVDDA COREGND COREGND COREGND nchv L=0.44u W=300u M=1
.ENDS
```

```
.SUBCKT PAD_IBUF_WORES A COREGND COREVDDA IOGND IOVDDA
M1 A IOGND IOGND IOGND nchv L=0.44u W=300u M=1
M2 A IOVDDA IOVDDA IOVDDA pchv L=0.44u W=350u M=1
.ENDS
```

```
.SUBCKT PAD_IBUF_ANALOG A COREGND COREVDDA IOGND IOVDDA Y
M1 A IOGND IOGND IOGND nchv L=0.44u W=300u M=1
M2 A IOVDDA IOVDDA IOVDDA pchv L=0.44u W=350u M=1
R3 A Y 50 TC=0.0, 0.0
.ENDS
```

```
.SUBCKT PAD_IOGND COREGND COREVDDA IOGND IOVDDA
M1 IOGND IOGND IOVDDA IOGND nchv L=0.44u W=300u M=1
M2 COREVDDA COREGND COREGND COREGND nchv L=0.44u W=300u M=1
.ENDS
```

```
.SUBCKT PAD_COREGND COREGND COREVDDA IOGND IOVDDA
M1 COREGND COREGND COREVDDA COREGND nchv L=0.44u W=300u M=1
M2 COREGND IOGND IOGND IOGND nchv L=0.44u W=300u M=1
.ENDS
```

```
.SUBCKT ADD_COREVDDA COREGND COREVDDA IOGND IOVDDA
.ENDS
```

以上