
高度センサー信号処理のための Analog-VLSI Open-IP(3)

池田 博一*

宇宙航空研究開発機構 宇宙科学研究本部

平成 16 年 6 月 21 日

概要

高機能高性能の Analog-VLSI を短時間で効率良く、しかも一定の確実性をもって開発することができるような礎を構築すべく、公開の IP として Analog-VLSI のビルディングブロックを提供します。第 3 章においては、論理回路を構築する際に必要な、論理ゲート、フリップフロップ、及びカウンタ回路等の IP を提示します。

目次

1	アナログ回路における論理回路	42
2	論理ゲート回路	43
3	フリップフロップ回路	54
4	フリップフロップ回路の応用	59
A	INV1S 回路の試験回路	63

表目次

1	論理ゲート回路 IP	42
1	論理ゲート回路 IP	43
2	フリップフロップ回路 IP	54

図目次

1	論理ゲート回路のシンボル一覧	44
2	INV1 (アナログ回路用)	44
3	INV1P (デジタル回路用)	44
4	INV1F	45
5	INV4 (アナログ回路用)	45
6	INV4P (デジタル回路用)	45

*ikedada.hirokazu@jaxa.jp

7	NAND (アナログ回路用)	45
8	NANDP (デジタル回路用)	45
9	NAND3 (アナログ回路用)	46
10	NAND3P (デジタル回路用)	46
11	NOR (アナログ回路用)	46
12	NORP (デジタル回路用)	46
13	INV1S	47
14	TRBUF	47
15	ANDP	48
16	AND3P	48
17	AND4P	49
18	AND5P	49
19	フリップフロップ回路のシンボル一覧	54
20	RSFF1	55
21	RSFF2	55
22	GINVP	56
23	LATCHP	56
24	DFFP	57
25	EDFFP	57
26	SHIFT4	59
27	SELECTOR	59
28	COUNTA	60
29	INV1S 回路の試験回路	63

1 アナログ回路における論理回路

アナログ回路は、抵抗、容量等を増幅要素と組み合わせて構成するものですから、いわゆる論理ゲートとは無縁の世界であるようにも考えられます。

しかし、CMOS プロセスによるアナログ集積回路においては、スイッチを用いた回路が頻繁に用いられるため、これらのスイッチを駆動するために論理ゲートが必要となります。また、DAC、ADC等を内蔵する場合には、これにともなってかなりの分量の論理回路を導入する必要があります。さらに、ホールドされたアナログ値を読み出すためには、デジタル信号による制御が不可欠です。

このようにして、論理回路はアナログ回路においても必須の回路要素として用いられることになります。

そこで、本 IP においても、論理ゲート、フリップフロップ等の基本的な回路構成を提示します。

表 1 には、ここで提示する論理ゲート回路 IP の一覧を示しました。

表 1: 論理ゲート回路 IP

回路名称	用途	具体的適用
INV1	論理反転回路	アナログ回路と併用 (例: スwitchの駆動)
INV1P	論理反転回路	デジタル回路専用
INV1F	論理回路反転	高速デジタル回路用
INV4	論理反転回路	アナログ回路と併用 (例: 大きなスwitch駆動)

表 1: 論理ゲート回路 IP

INV4P	論理反転回路	デジタル回路専用 (例: 長距離配線の駆動)
NAND	$not(A.and.B)$	アナログ回路と併用
NANDP	$not(A.and.B)$	デジタル回路専用
NAND3	$not(A.and.B.and.C)$	アナログ回路と併用
NAND3P	$not(A.and.B.and.C)$	デジタル回路専用
NOR	$not(A.or.B)$	アナログ回路と併用
NORP	$not(A.or.B)$	デジタル回路専用
INV1S	論理反転回路	シュミットトリガー
TRBUF	トライステートバッファ	内部回路におけるバスラインを駆動
ANDP	$A.and.B$	デジタル回路専用
AND3P	$A.and.B.and.C$	デジタル回路専用
AND4P	$A.and.B.and.C.and.D$	デジタル回路専用
AND5P	$A.and.B.and.C.and.D.and.E$	デジタル回路専用

2 論理ゲート回路

論理ゲート回路は、いわゆるブール代数に対応する機能を電子回路として実現したものと考えることができます。論理ゲートを種々配置して相互に結線を施した回路を組み合わせ回路といいます。これと対になっている概念として順序回路というものがあります。これについては後述します。

図 1 には、ここで提示する論理ゲートのシンボルの一覧を示してあります。これらの内部回路について以下回路図を提示します。論理ゲートは、ここに提示するものに限定されるものではありませんが、これらを参考にすれば適宜必要な論理ゲートを構成することができると思います。

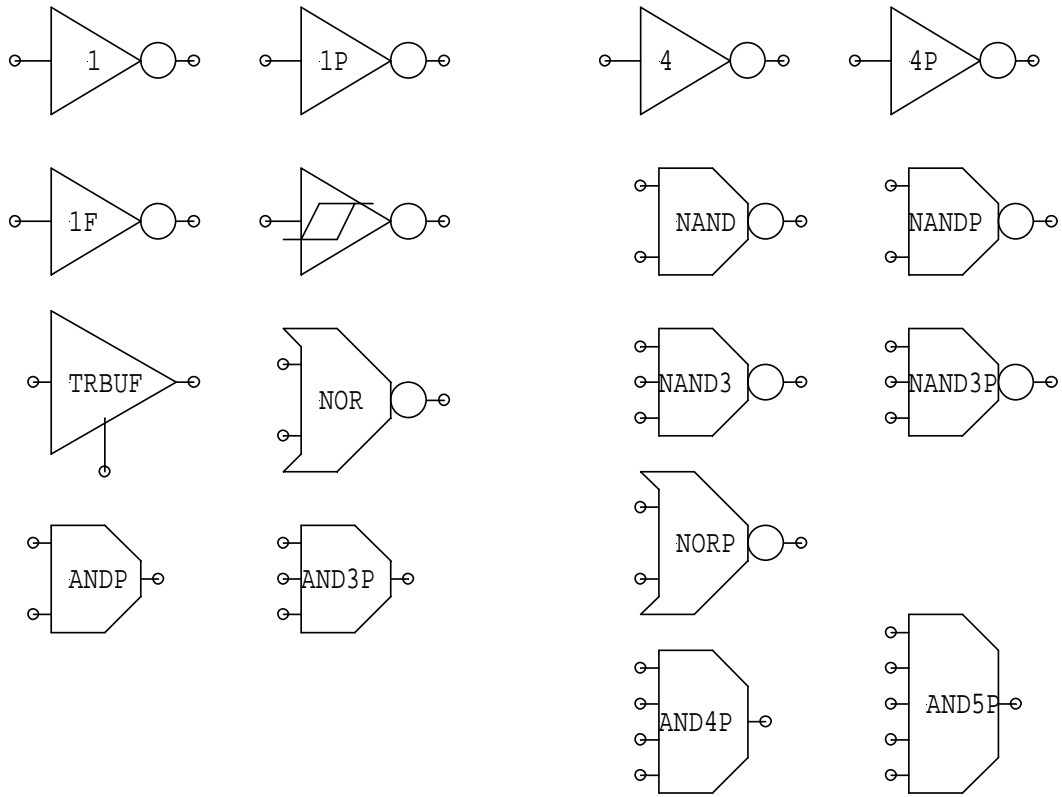


図 1: 論理ゲート回路のシンボル一覧

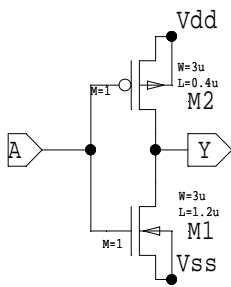


図 2: INV1 (アナログ回路用)

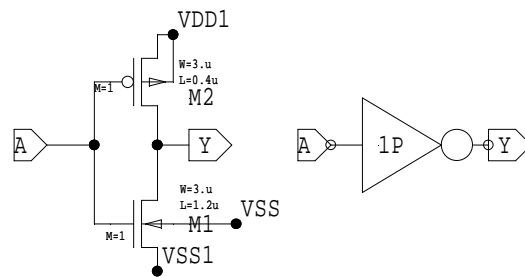


図 3: INV1P (デジタル回路用)

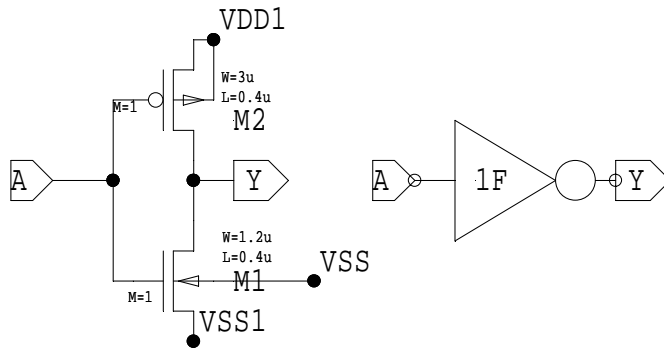


図 4: INV1F

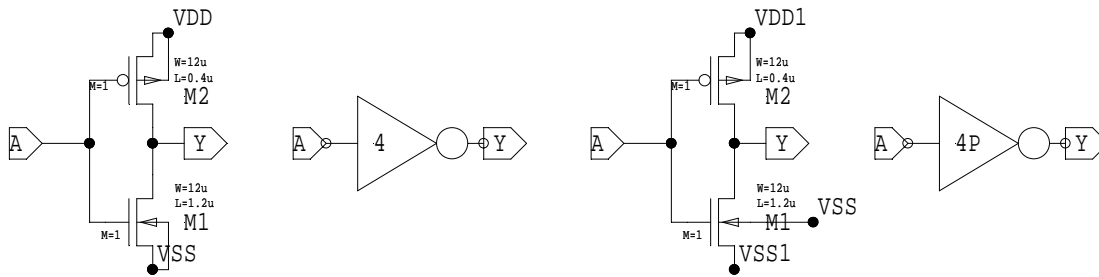


図 5: INV4 (アナログ回路用)

図 6: INV4P (デジタル回路用)

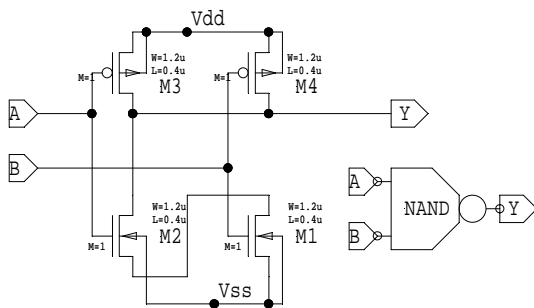


図 7: NAND (アナログ回路用)

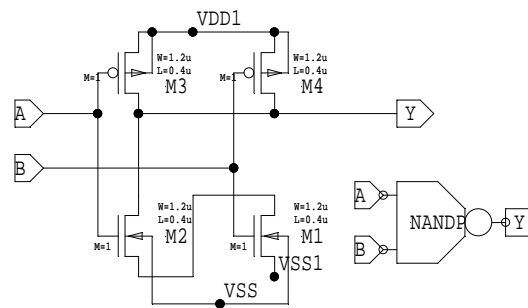


図 8: NANDP (デジタル回路用)

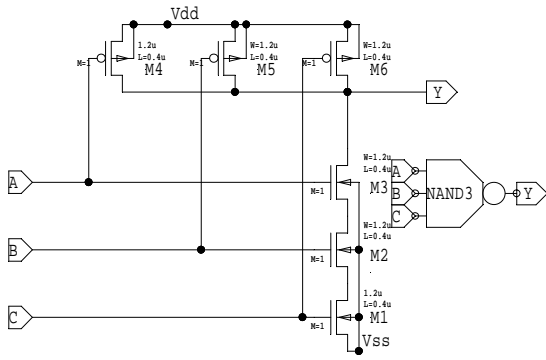


図 9: NAND3 (アナログ回路用)

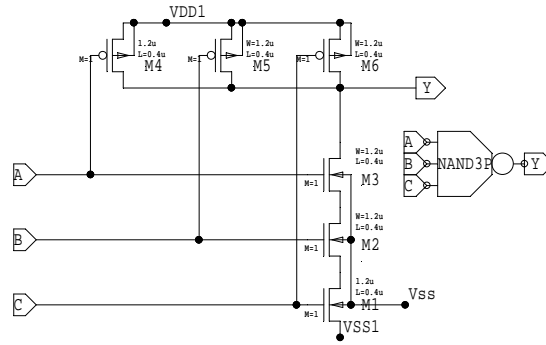


図 10: NAND3P (デジタル回路用)

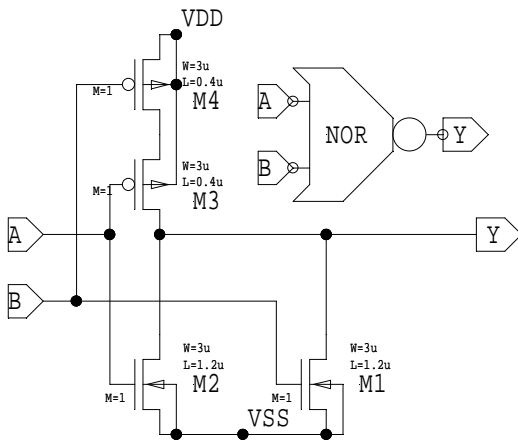


図 11: NOR (アナログ回路用)

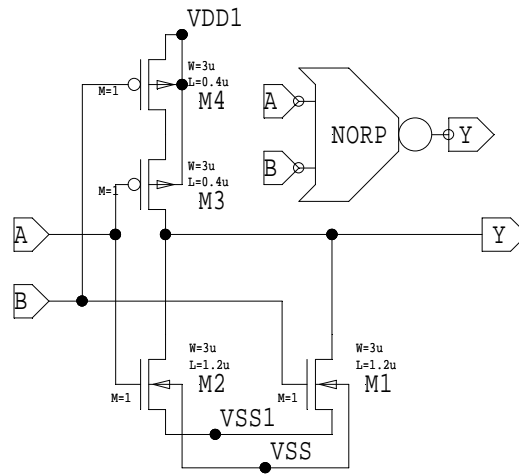
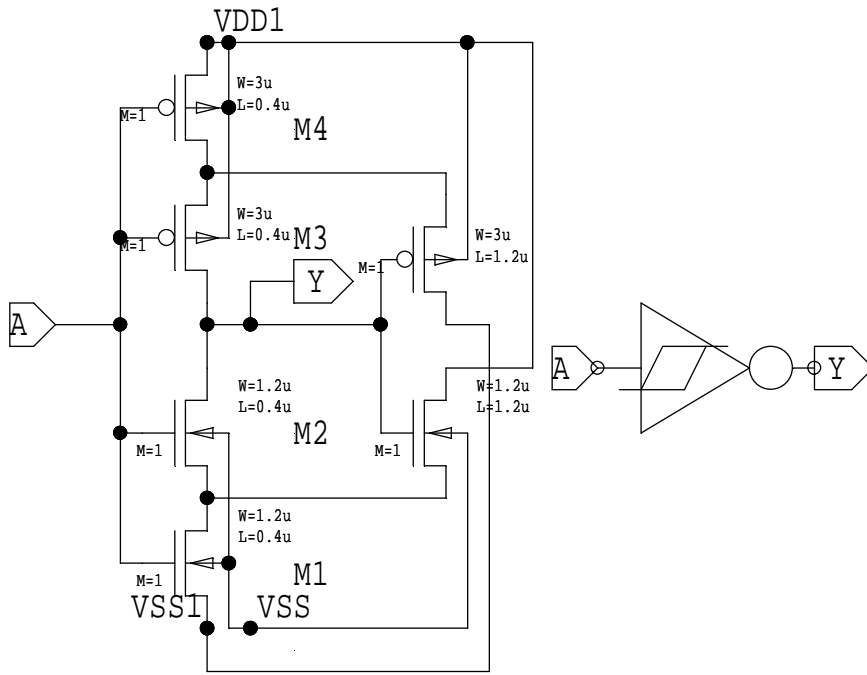


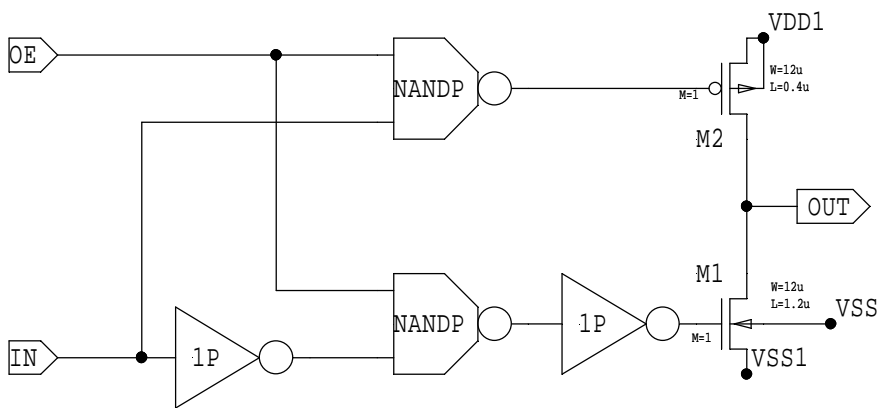
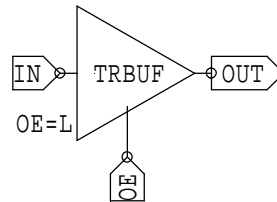
図 12: NORP (デジタル回路用)



☒ 13: INV1S

Tristate-buffer

OUT=active for OE=H; OUT=Z for OE=L



☒ 14: TRBUF

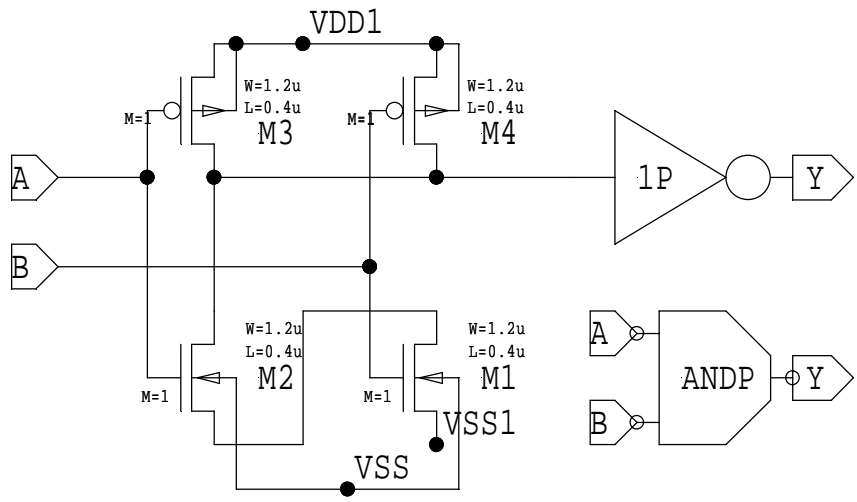


图 15: ANDP

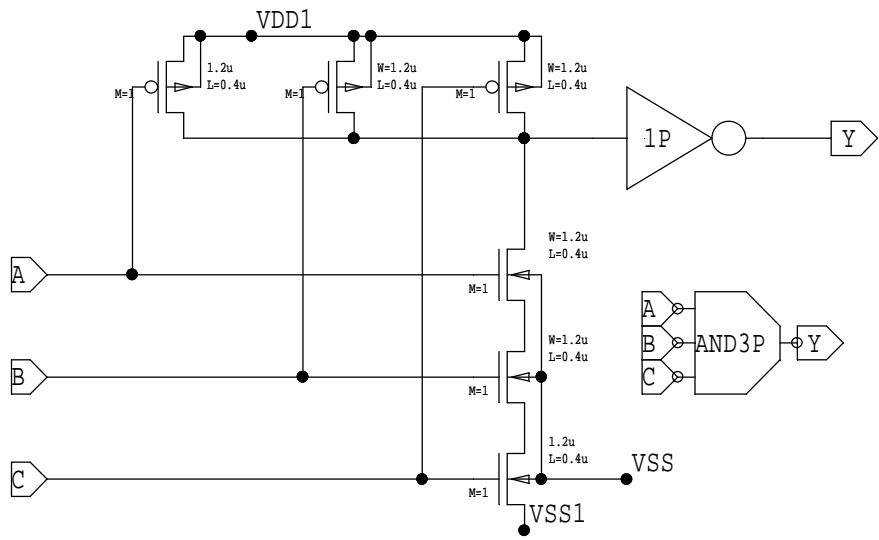


图 16: AND3P

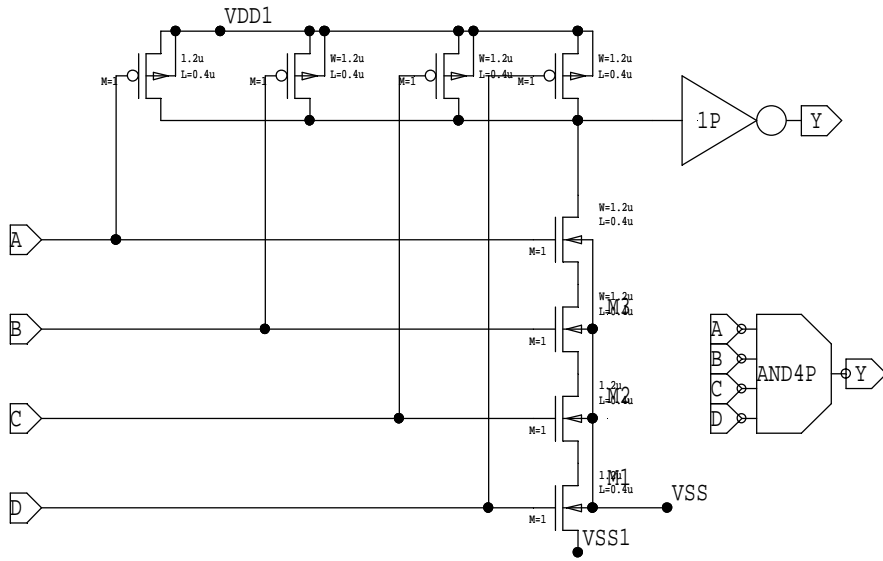


图 17: AND4P

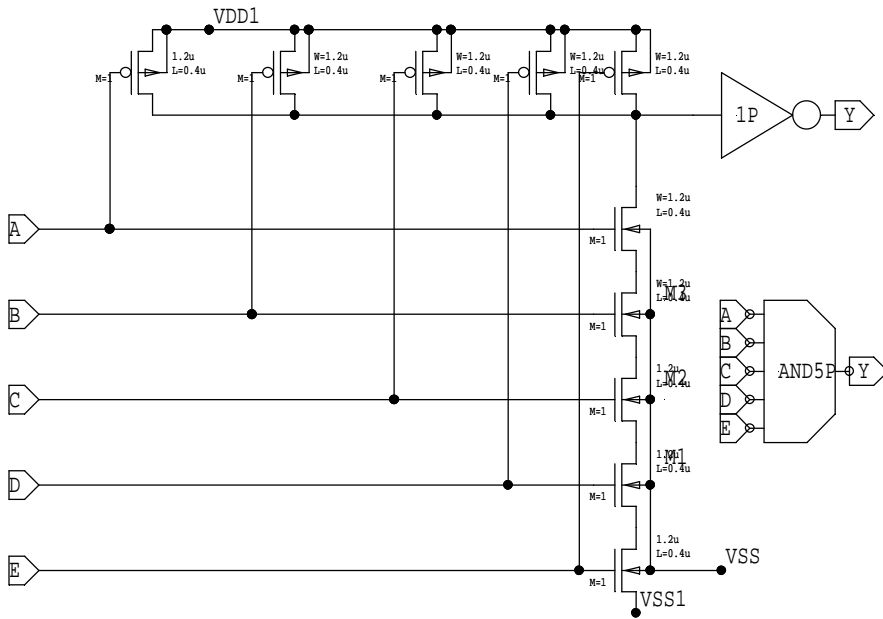


图 18: AND5P

以下各回路ブロックのネットリストを掲げておきます。

```
.SUBCKT inv1 A Y
M1 Y A Vss Vss nch L=1.2u W=3u M=1
M2 Y A Vdd Vdd pch L=0.4u W=3u M=1
.ENDS

.SUBCKT inv1P A Y
M1 Y A VSS1 VSS nch L=1.2u W=3.u M=1
M2 Y A VDD1 VDD1 pch L=0.4u W=3.u M=1
.ENDS

.SUBCKT inv1F A Y
M1 Y A VSS1 VSS nch L=0.4u W=1.2u M=1
M2 Y A VDD1 VDD1 pch L=0.4u W=3u M=1
.ENDS

.SUBCKT INV1S A Y
M1 N1 A VSS1 VSS nch L=0.4u W=1.2u M=1
M2 Y A N1 VSS nch L=0.4u W=1.2u M=1
M3 Y A N2 VDD1 pch L=0.4u W=3u M=1
M4 N2 A VDD1 VDD1 pch L=0.4u W=3u M=1
M5 VDD1 Y N1 VSS nch L=1.2u W=1.2u M=1
M6 VSS1 Y N2 VDD1 pch L=1.2u W=3u M=1
.ENDS

.SUBCKT inv4P A Y
M1 Y A VSS1 VSS nch L=1.2u W=12u M=1
M2 Y A VDD1 VDD1 pch L=0.4u W=12u M=1
.ENDS

.SUBCKT inv4 A Y
M1 Y A VSS VSS nch L=1.2u W=12u M=1
M2 Y A VDD VDD pch L=0.4u W=12u M=1
.ENDS

.SUBCKT NAND3P A B C Y
M1 N3 C VSS1 Vss nch L=0.4u W=1.2u M=1
M2 N6 B N3 Vss nch L=0.4u W=1.2u M=1
M3 Y A N6 Vss nch L=0.4u W=1.2u M=1
M4 Y A VDD1 VDD1 pch L=0.4u W=1.2u M=1
M5 Y B VDD1 VDD1 pch L=0.4u W=1.2u M=1
M6 Y C VDD1 VDD1 pch L=0.4u W=1.2u M=1
.ENDS
```

```

.SUBCKT NAND3 A B C Y
M1 N3 C Vss Vss nch L=0.4u W=1.2u M=1
M2 N2 B N3 Vss nch L=0.4u W=1.2u M=1
M3 Y A N2 Vss nch L=0.4u W=1.2u M=1
M4 Y A Vdd Vdd pch L=0.4u W=1.2u M=1
M5 Y B Vdd Vdd pch L=0.4u W=1.2u M=1
M6 Y C Vdd Vdd pch L=0.4u W=1.2u M=1
.ENDS

```

```

.SUBCKT NANDP A B Y
M1 N3 B VSS1 VSS nch L=0.4u W=1.2u M=1
M2 Y A N3 VSS nch L=0.4u W=1.2u M=1
M3 Y A VDD1 VDD1 pch L=0.4u W=1.2u M=1
M4 Y B VDD1 VDD1 pch L=0.4u W=1.2u M=1
.ENDS

```

```

.SUBCKT NAND A B Y
M1 N2 B Vss Vss nch L=0.4u W=1.2u M=1
M2 Y A N2 Vss nch L=0.4u W=1.2u M=1
M3 Y A Vdd Vdd pch L=0.4u W=1.2u M=1
M4 Y B Vdd Vdd pch L=0.4u W=1.2u M=1
.ENDS

```

```

.SUBCKT NORP A B Y
M1 Y B VSS1 VSS nch L=1.2u W=3u M=1
M2 Y A VSS1 VSS nch L=1.2u W=3u M=1
M3 Y A N3 VDD1 pch L=0.4u W=3u M=1
M4 N3 B VDD1 VDD1 pch L=0.4u W=3u M=1
.ENDS

```

```

.SUBCKT NOR A B Y
M1 Y B VSS VSS nch L=1.2u W=3u M=1
M2 Y A VSS VSS nch L=1.2u W=3u M=1
M3 Y A N9 VDD pch L=0.4u W=3u M=1
M4 N9 B VDD VDD pch L=0.4u W=3u M=1
.ENDS

```

```

.SUBCKT TRBUF IN OE OUT
X1 IN N2 inv1P
X2 OE IN N3 NANDP
X3 OE N2 N4 NANDP
X4 N4 N1 inv1P

```

```
M1 OUT N1 VSS1 VSS nch L=1.2u W=12u M=1
M2 OUT N3 VDD1 VDD1 pch L=0.4u W=12u M=1
.ENDS
```

```
.SUBCKT ANDP A B Y
X1 N3 Y inv1P
M1 N2 B VSS1 VSS nch L=0.4u W=1.2u M=1
M2 N3 A N2 VSS nch L=0.4u W=1.2u M=1
M3 N3 A VDD1 VDD1 pch L=0.4u W=1.2u M=1
M4 N3 B VDD1 VDD1 pch L=0.4u W=1.2u M=1
.ENDS
```

```
.SUBCKT AND3P A B C Y
X1 N2 Y inv1P
M1 N4 C VSS1 VSS nch L=0.4u W=1.2u M=1
M2 N3 B N4 VSS nch L=0.4u W=1.2u M=1
M3 N2 A N3 VSS nch L=0.4u W=1.2u M=1
M4 N2 A VDD1 VDD1 pch L=0.4u W=1.2u M=1
M5 N2 B VDD1 VDD1 pch L=0.4u W=1.2u M=1
M6 N2 C VDD1 VDD1 pch L=0.4u W=1.2u M=1
.ENDS
```

```
.SUBCKT AND4P A B C D Y
X1 N1 Y inv1P
M1 N5 D VSS1 VSS nch L=0.4u W=1.2u M=1
M2 N4 C N5 VSS nch L=0.4u W=1.2u M=1
M3 N3 B N4 VSS nch L=0.4u W=1.2u M=1
M4 N1 A N3 VSS nch L=0.4u W=1.2u M=1
M5 N1 A VDD1 VDD1 pch L=0.4u W=1.2u M=1
M6 N1 B VDD1 VDD1 pch L=0.4u W=1.2u M=1
M7 N1 C VDD1 VDD1 pch L=0.4u W=1.2u M=1
M8 N1 D VDD1 VDD1 pch L=0.4u W=1.2u M=1
.ENDS
```

```
.SUBCKT AND5P A B C D E Y
X1 N33 Y inv1P
M1 N37 D N38 VSS nch L=0.4u W=1.2u M=1
M2 N36 C N37 VSS nch L=0.4u W=1.2u M=1
M3 N35 B N36 VSS nch L=0.4u W=1.2u M=1
M4 N33 A N35 VSS nch L=0.4u W=1.2u M=1
M5 N33 A VDD1 VDD1 pch L=0.4u W=1.2u M=1
M6 N33 B VDD1 VDD1 pch L=0.4u W=1.2u M=1
M7 N33 C VDD1 VDD1 pch L=0.4u W=1.2u M=1
```

```
M8 N33 D VDD1 VDD1 pch L=0.4u W=1.2u M=1
M9 N38 E VSS1 VSS nch L=0.4u W=1.2u M=1
M10 N33 E VDD1 VDD1 pch L=0.4u W=1.2u M=1
.ENDS
```

3 フリップフロップ回路

フリップフロップ回路とは、過渡的に入力された論理信号を保持しておくことができるようになっている回路をいいます。

いわゆるブール代数の機能を取り扱うような回路においては、not、nand、nor 等の比較的単純な回路を組み合わせることで所要の目的とする回路を構成することができました。

しかし、状態マシンのように時系列処理が本質的である回路では、状態を保持する機能、さらには、同一のクロック信号によって内部状態が一斉に遷移するような機能が要求されます。

このような機能を実現するものがフリップフロップです。フリップフロップ回路には、RS-フリップフロップ、D-フリップフロップ、Enable 付き D-フリップフロップ等があります。大方の機能は、これらのフリップフロップを直接または、多少の回路を付加することにより実現することができます。例えば、カウンタ回路において使用される T-フリップフロップは、D-フリップフロップないし Enable 付き D-フリップフロップを用いて実現することができます。

表 2: フリップフロップ回路 IP

回路名称	用途	具体的適用
RSFF1	セットリセット型フリップフロップ回路の原型	接点信号のチャタリング防止回路
RSFF1	リセットを優先したセットリセット型フリップフロップ回路	非同期のレジスタ
DFF	D 型フリップフロップ回路	同期型のレジスタ
EDFF	イネーブル付き D 型フリップフロップ回路	順序回路

表 2 には、これらのフリップフロップ回路に名称一覧を示しました。また、図 19 には、対応するシンボル図形を示してあります。

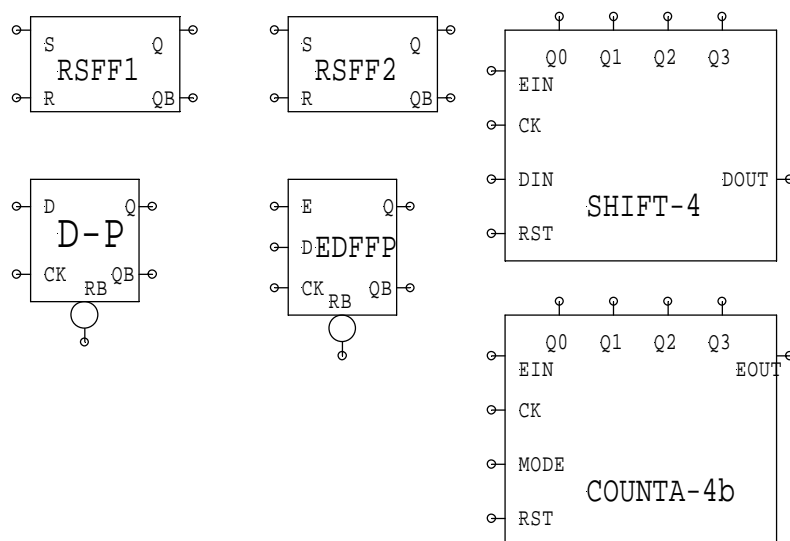


図 19: フリップフロップ回路のシンボル一覧

以下にこれらの回路図を示します。

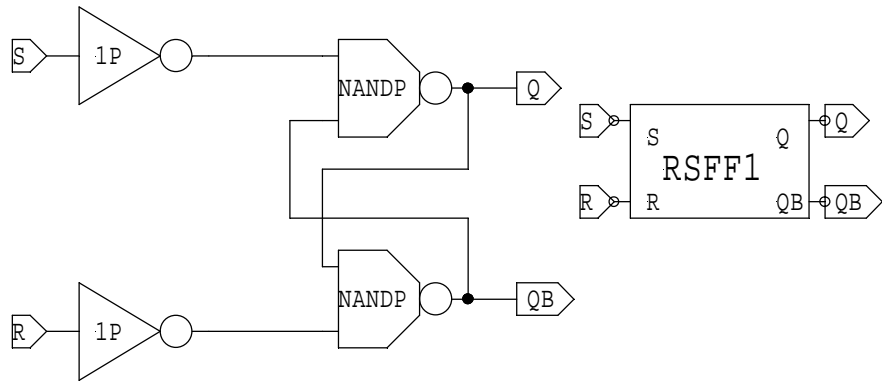


図 20: RSFF1

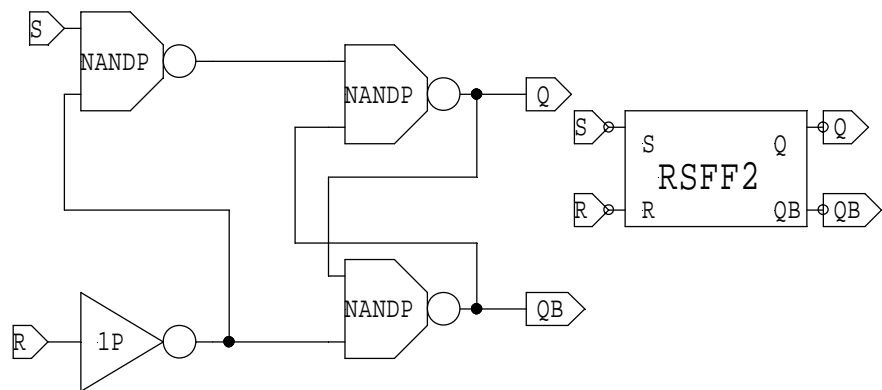
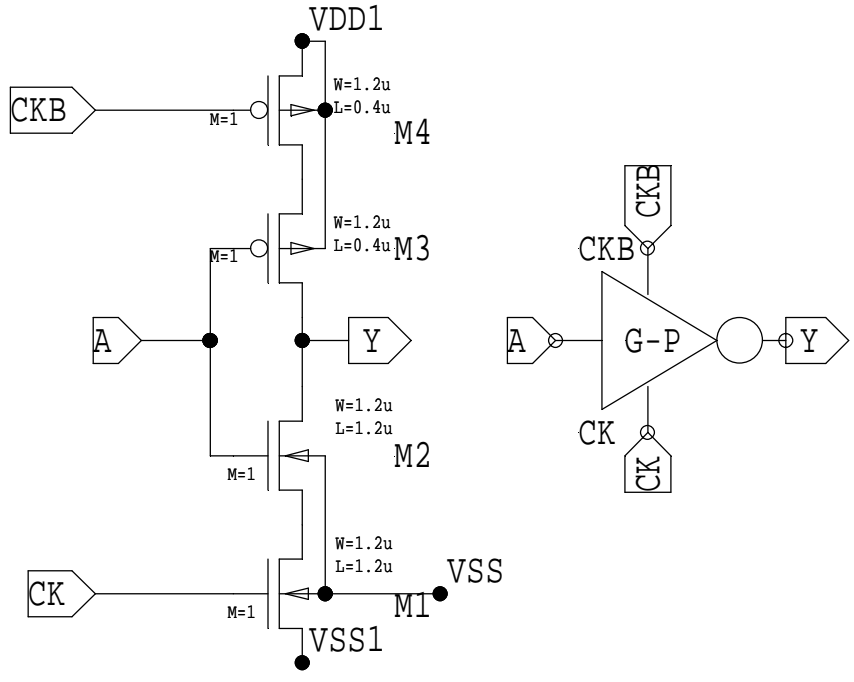
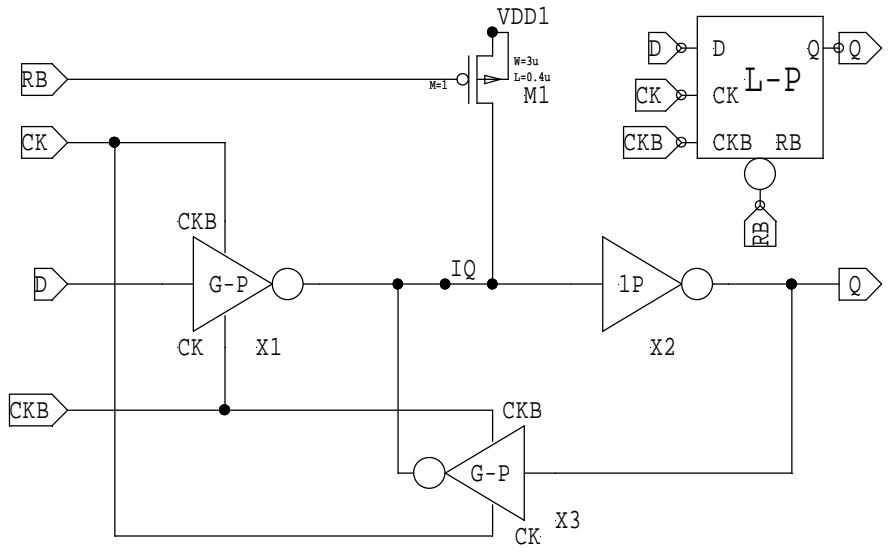


図 21: RSFF2



☒ 22: GINVP



☒ 23: LATCHHP

以下各回路ブロックのネットリストを掲げておきます。

```
.SUBCKT RSFF1 Q QB R S
X1 S N3 inv1P
X2 R N1 inv1P
X3 N3 QB Q NANDP
X4 Q N1 QB NANDP
.ENDS
```

```
.SUBCKT RSFF2 Q QB R S
X1 S N2 N3 NANDP
X2 R N2 inv1P
X3 N3 QB Q NANDP
X4 Q N2 QB NANDP
.ENDS
```

```
.SUBCKT GINVP A CK CKB Y
M1 N3 CK VSS1 VSS nch L=1.2u W=1.2u M=1
M2 Y A N3 VSS nch L=1.2u W=1.2u M=1
M3 Y A N8 VDD1 pch L=0.4u W=1.2u M=1
M4 N8 CKB VDD1 VDD1 pch L=0.4u W=1.2u M=1
.ENDS
```

```
.SUBCKT LatchP CK CKB D Q RB
X1 D CKB CK IQ GINVP
X2 IQ Q inv1P
X3 Q CK CKB IQ GINVP
M1 IQ RB VDD1 VDD1 pch L=0.4u W=3u M=1
.ENDS
```

```
.SUBCKT DFFP CK D Q QB RB
X1 CK ICKB inv1P
X2 ICKB ICK inv1P
X3 Q QB inv1P
X4 ICK ICKB D IQ RB LatchP
X5 ICKB ICK IQ Q RB LatchP
.ENDS
```

```
.SUBCKT EDFFP CK D E Q QB RB
X1 CK N3 Q QB RB DFFP
X2 N1 N2 N3 NANDP
X3 Q N5 N1 NANDP
X4 D E N2 NANDP
```

4 フリップフロップ回路の応用

フリップフロップ回路の応用として、シフトレジスタ回路とカウンタ回路を掲げておきます。

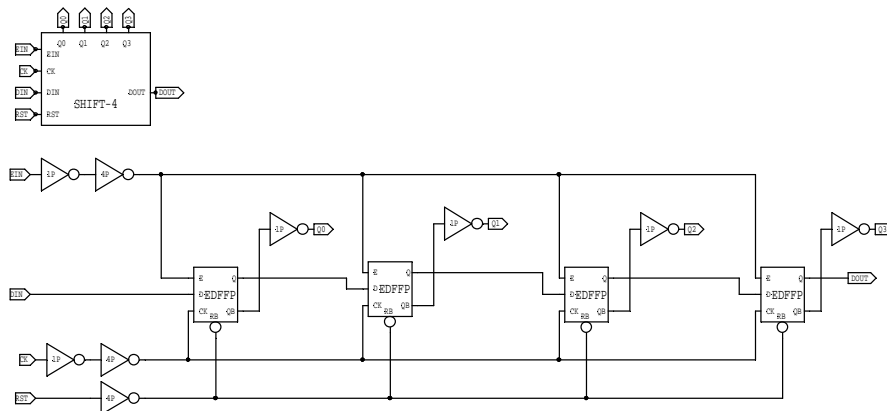


図 26: SHIFT4

SHIFT4 回路は、4 ビット構成のシフトレジスタとなっています。CK 信号のリーディングエッジに同期して、ビットパターンが右に 1 ビット分ずつ移動します。また、シフト動作の継続停止を制御するために、EIN 信号が設けられています。これによってクロック信号自体をゲートすることなしに継続停止の機能が実現されています。

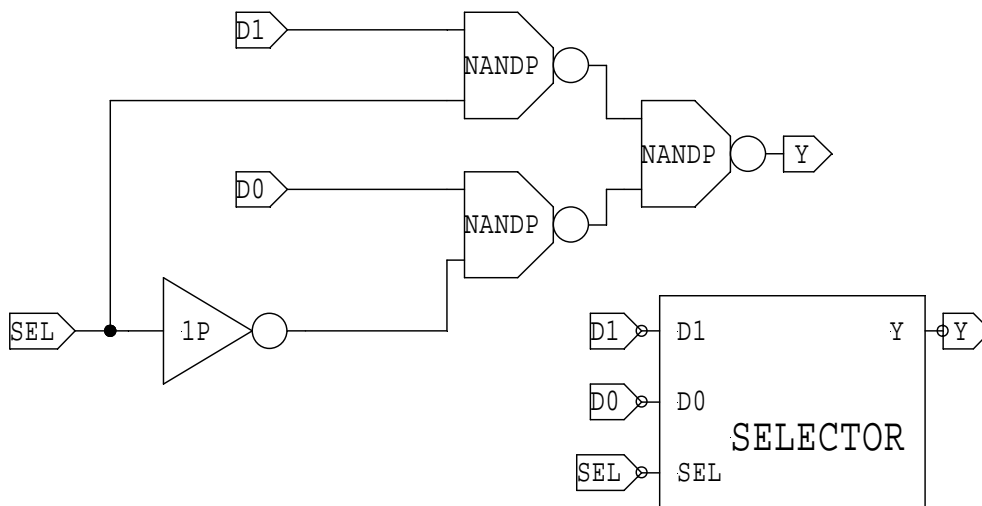


図 27: SELECTOR

SHIFT4 回路と COUNTA 回路のネットリストを以下に示しておきます。

```
.SUBCKT SHIFT4 CK DIN DOUT EIN Q0 Q1 Q2 Q3 RST
X1 EIN N2 inv1P
X2 N2 N13 inv4P
X3 CK N1 inv1P
X4 N1 N9 inv4P
X5 RST N8 inv4P
X6 N3 Q0 inv1P
X7 N7 Q1 inv1P
X8 N4 Q2 inv1P
X9 N5 Q3 inv1P
X10 N9 DIN N13 N12 N3 N8 EDFFP
X11 N9 N12 N13 N6 N7 N8 EDFFP
X12 N9 N6 N13 N10 N4 N8 EDFFP
X13 N9 N10 N13 DOUT N5 N8 EDFFP
.ENDS
```

```
.SUBCKT SELECTOR DO D1 SEL Y
X1 SEL N1 inv1P
X2 D1 SEL N11 NANDP
X3 DO N1 N6 NANDP
X4 N11 N6 Y NANDP
.ENDS
```

```
.SUBCKT COUNTA CK EIN EOUT MODE Q0 Q1 Q2 Q3 RST
X1 EIN N66 inv1P
X2 N66 N71 inv4P
X3 MODE N69 inv1P
X4 N69 N73 inv4P
X5 CK N70 inv1P
X6 N70 N72 inv4P
X7 RST N79 inv4P
X8 Q0 QB0 inv1P
X9 Q1 QB1 inv1P
X10 Q2 QB2 inv1P
X11 Q3 QB3 inv1P
X12 QB0 N71 N65 ANDP
X13 Q0 N71 N81 ANDP
X14 QB0 QB1 N71 N75 AND3P
X15 Q0 Q1 N71 N82 AND3P
X16 QB0 QB1 QB2 N71 N76 AND4P
X17 Q0 Q1 Q2 N71 N83 AND4P
X18 QB0 QB1 QB2 QB3 N71 N78 AND5P
```

X19 Q0 Q1 Q2 Q3 N71 N74 AND5P
X20 N81 N65 N73 N84 SELECTOR
X21 N82 N75 N73 N85 SELECTOR
X22 N83 N76 N73 N86 SELECTOR
X23 N74 N78 N73 EOUT SELECTOR
X24 N72 QB0 N71 Q0 N80 N79 EDFFP
X25 N72 QB1 N84 Q1 N67 N79 EDFFP
X26 N72 QB2 N85 Q2 N77 N79 EDFFP
X27 N72 QB3 N86 Q3 N68 N79 EDFFP
.ENDS

A INV1S 回路の試験回路

INV1S 回路と INV1P 回路の動作を比較検証するための試験回路例を提示します。

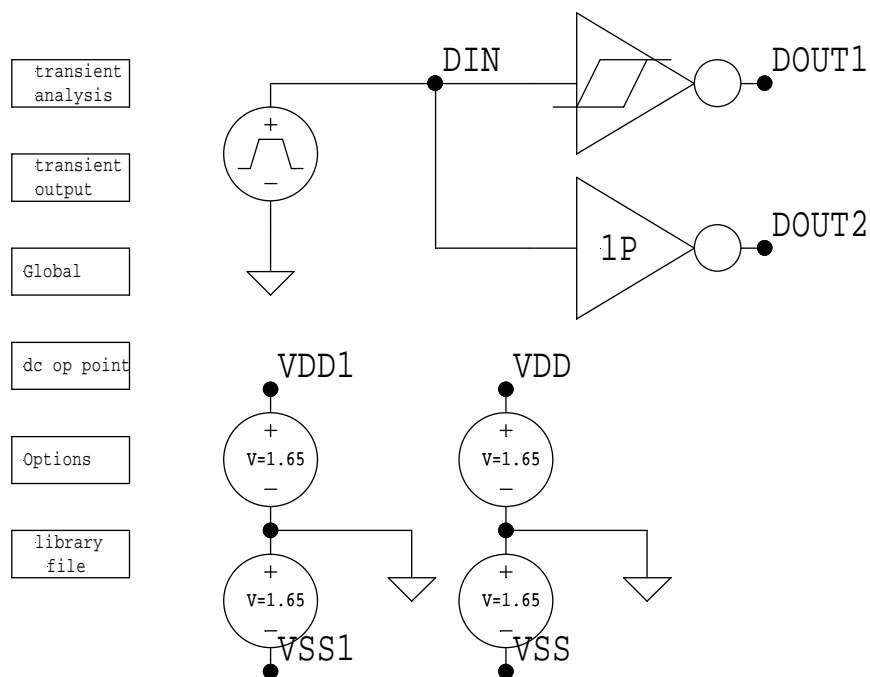


図 29: INV1S 回路の試験回路

```
* Main circuit: TESTINVS
.op
.global VSS VDD VSS1 VDD1
Xinv1P_1 DIN DOUT2 inv1P
XINV1S_1 DIN DOUT1 INV1S
.options reltol=1.e-8 abstol=1.e-16 numnd=1000 numnt=100 linearsolver=sparse
v1 VDD Gnd 1.65
v2 Gnd VSS 1.65
v3 VDD1 Gnd 1.65
v4 Gnd VSS1 1.65
v5 DIN Gnd pulse(-0.5 0.5 20n 20n 20n 20n 200u)
.tran 1n 120n
.print tran v(DIN) v(DOUT1) v(DOUT2)
* End of main circuit: TESTINVS
```

以上