

---

# 高度センサー信号処理のための Analog-VLSI Open-IP(7)

池田 博一\*

宇宙航空研究開発機構 宇宙科学研究本部

平成 16 年 8 月 18 日

---

## 概要

高機能高性能の Analog-VLSI を短期間で効率良く、しかも一定の確実性をもって開発することができるような礎を構築すべく、公開の IP として Analog-VLSI のビルディングブロックを提供します。第 7 章では、荷電敏感型前置増幅器用の増幅要素の IP を示します。

## 目次

|                        |     |
|------------------------|-----|
| 1 前置増幅器用増幅要素           | 119 |
| A PrC2 回路を用いた前置増幅器の構成例 | 126 |
| B PrD 回路を用いた前置増幅器の構成例  | 127 |
| C PrE2 回路を用いた前置増幅器の構成例 | 128 |
| D 来歴                   | 129 |

## 表目次

|                     |     |
|---------------------|-----|
| 1 前置増幅器用増幅要素の IP 一覧 | 119 |
|---------------------|-----|

## 図目次

|                        |     |
|------------------------|-----|
| 1 前置増幅器用増幅要素のシンボル一覧    | 119 |
| 2 PrB 回路               | 120 |
| 3 PrC 回路               | 120 |
| 4 PrC2 回路              | 121 |
| 5 PrD 回路               | 121 |
| 6 PrE 回路               | 122 |
| 7 PrE2 回路              | 122 |
| 8 PrF 回路               | 123 |
| 9 PrC2 回路を用いた前置増幅器の構成例 | 126 |

---

\*ikedada.hirokazu@jaxa.jp

|    |                      |     |
|----|----------------------|-----|
| 10 | PrD 回路を用いた前置増幅器の構成例  | 127 |
| 11 | PrE2 回路を用いた前置増幅器の構成例 | 128 |

## 1 前置増幅器用増幅要素

表 1 には、前置増幅器用の増幅要素の IP 一覧を示しました。また、図 1 には、対応する前置増幅器用の増幅要素のシンボルを掲げました。

表 1: 前置増幅器用増幅要素の IP 一覧

| 回路名称 | 用途                            | 具体的適用        |
|------|-------------------------------|--------------|
| PrB  | pMOS 入力大容量 (folded-cascode)   | APD の読出      |
| PrC  | pMOS 入力中容量 (folded-cascode)   | シリコンストリップ検出器 |
| PrC2 | pMOS 入力中容量 (boosted-cascode)  | 高速化          |
| PrD  | pMOS 入力小容量 (folded-cascode)   | ピクセル検出器      |
| PrE  | nMOS 入力中容量 (straight-cascode) | 占有面積の狭小化     |
| PrE2 | nMOS 入力中容量 (boosted-cascode)  | 高速化          |
| PrF  | nMOS 入力中容量 (folded-cascode)   | 占有面積の狭小化     |

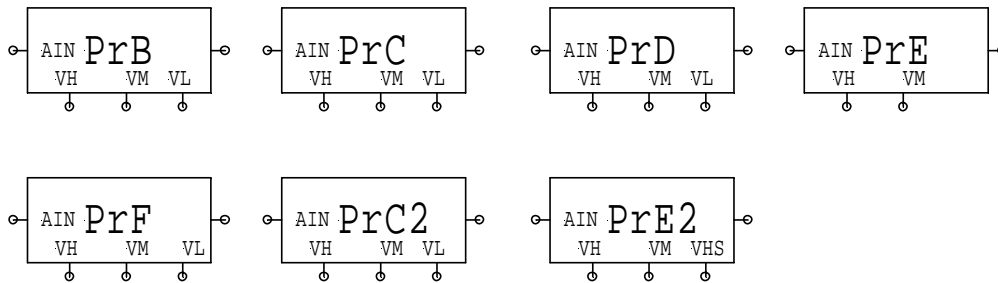


図 1: 前置増幅器用増幅要素のシンボル一覧

前置増幅器用増幅要素には、入力トランジスタの種別、 $g_m$  水準、さらにはカスコードの方式等により様々なバリエーションがあり得ます。ここに提示する IP は、その全てを網羅的に掲げたものではありませんが、必要に応じて微小な変更を加えることによって目的とする性能を有する前置増幅器用増幅要素を構成するための方途を最低限示すようにしました。

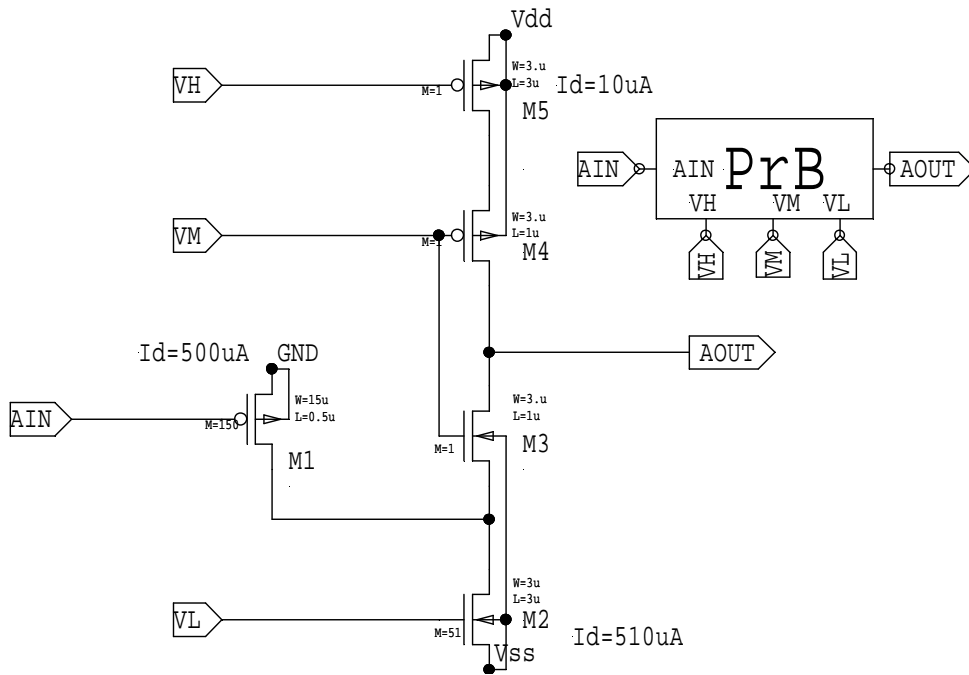


图 2: PrB 回路

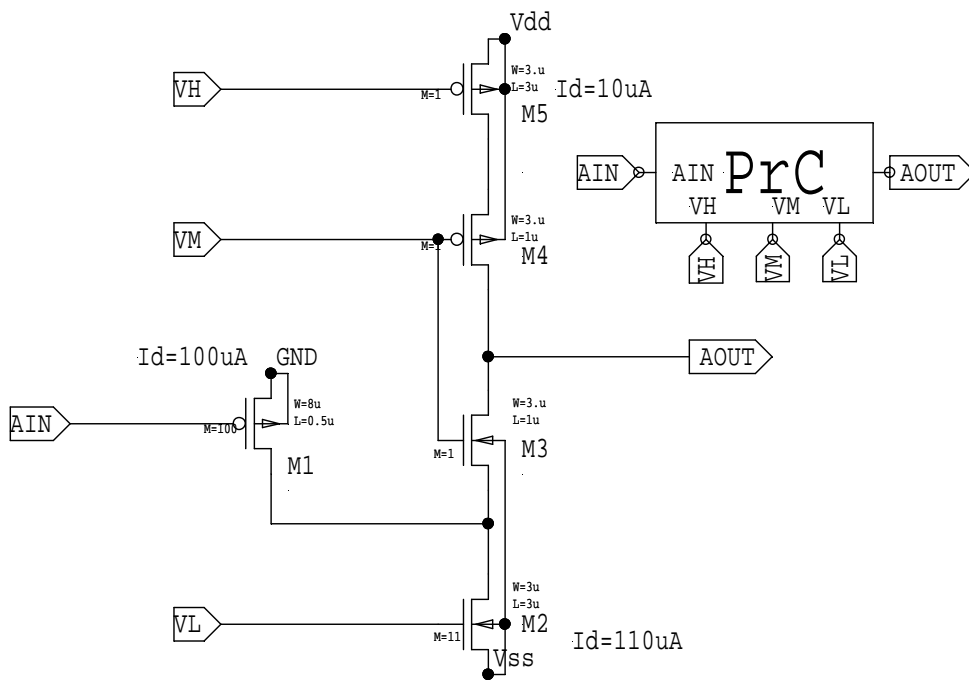


图 3: PrC 回路

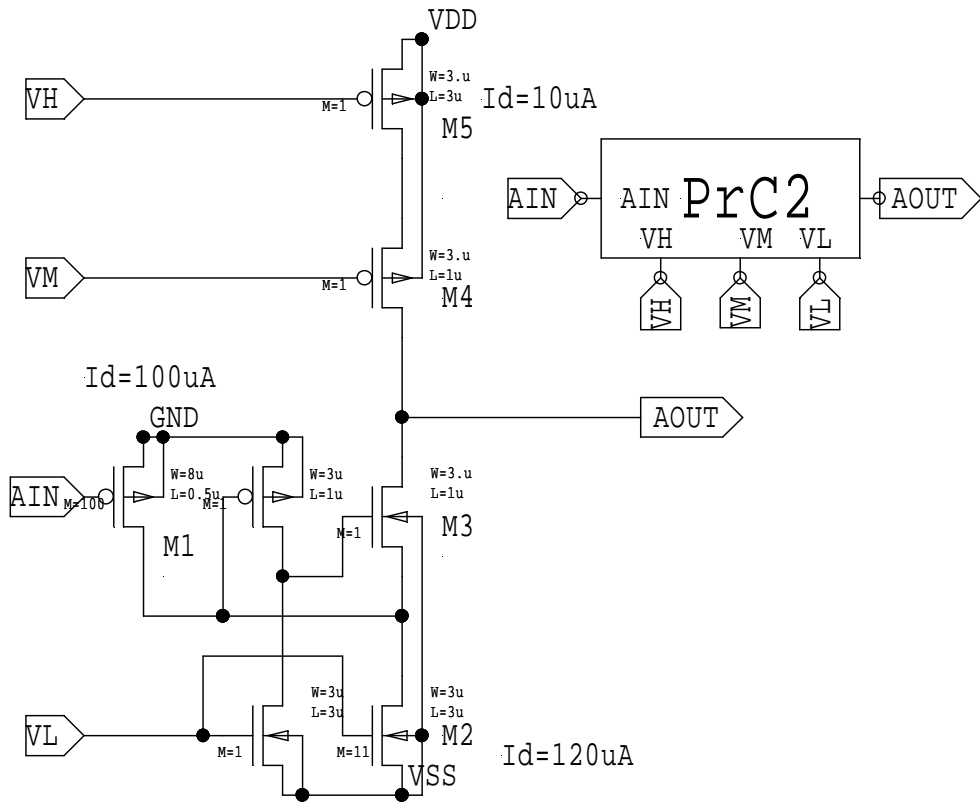


图 4: PrC2 回路

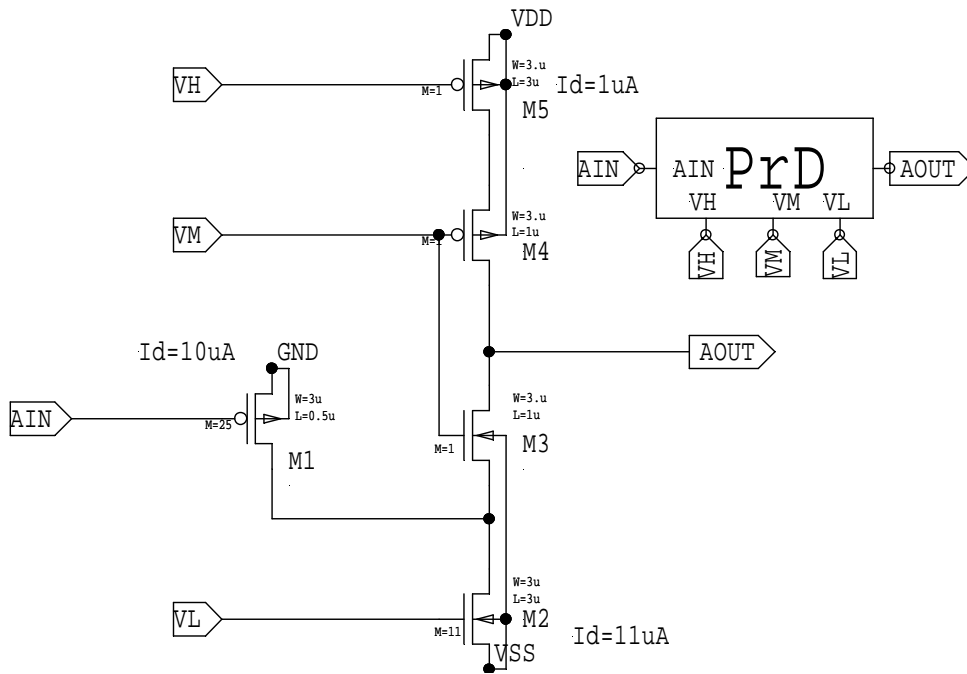


图 5: PrD 回路

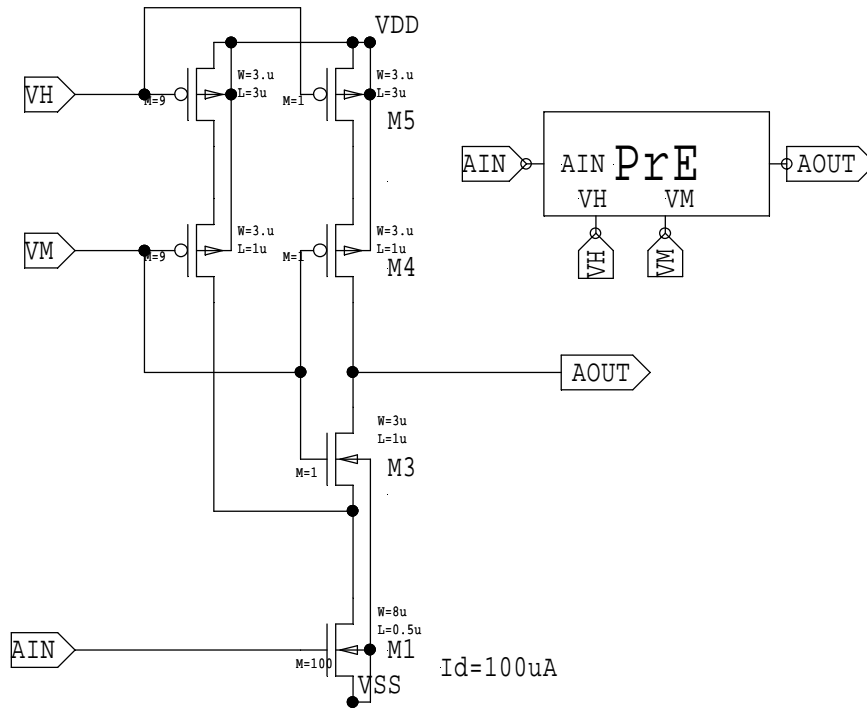


图 6: PrE 回路

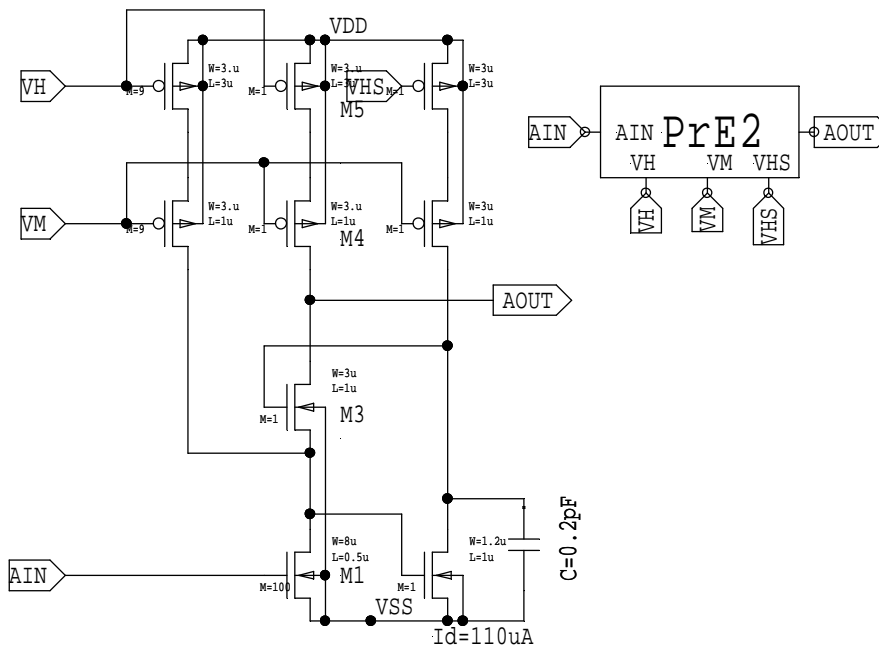


图 7: PrE2 回路

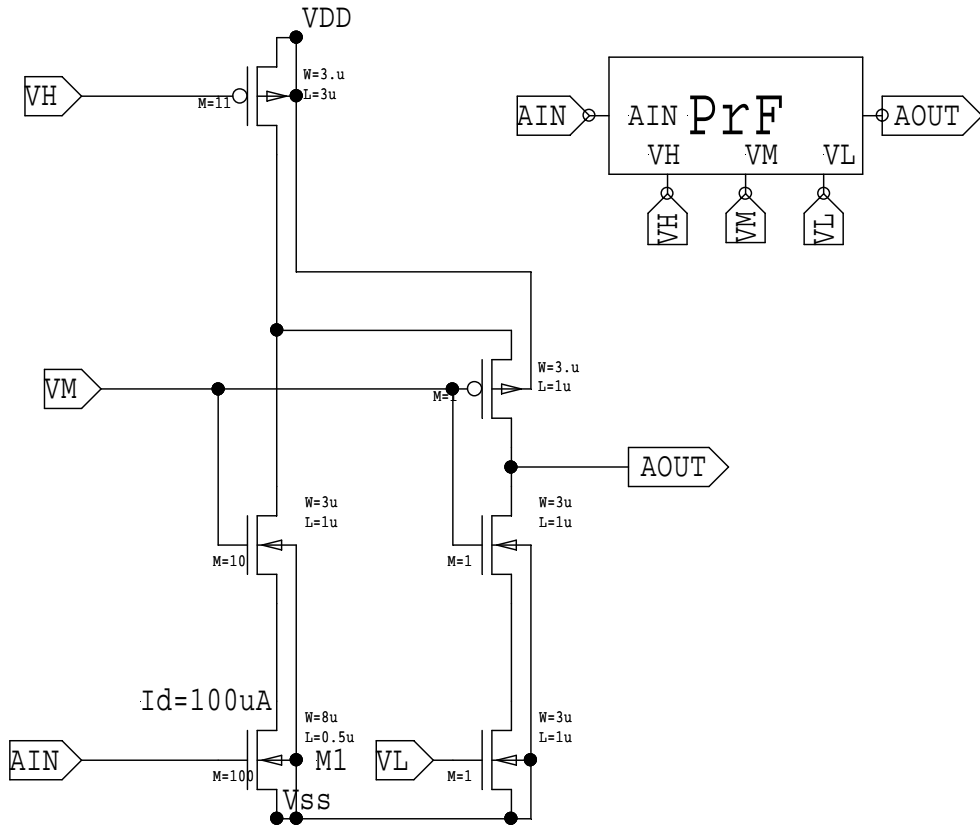


图 8: PrF 回路

以下には、上記 IP に対応する回路ブロックのネットリストを掲げておきます。

```
.SUBCKT prB AIN AOUT VH VL VM
M1 N2 AIN GND GND pch L=0.5u W=15u M=150
M2 N2 VL Vss Vss nch L=3u W=3u M=51
M3 AOUT VM N2 Vss nch L=1u W=3.u M=1
M4 AOUT VM N1 Vdd pch L=1u W=3.u M=1
M5 N1 VH Vdd Vdd pch L=3u W=3.u M=1
.ENDS
```

```
.SUBCKT prC AIN AOUT VH VL VM
M1 N2 AIN GND GND pch L=0.5u W=8u M=100
M2 N2 VL Vss Vss nch L=3u W=3u M=11
M3 AOUT VM N2 Vss nch L=1u W=3.u M=1
M4 AOUT VM N1 Vdd pch L=1u W=3.u M=1
M5 N1 VH Vdd Vdd pch L=3u W=3.u M=1
.ENDS
```

```
.SUBCKT prD AIN AOUT VH VL VM
M1 N7 AIN GND GND pch L=0.5u W=3u M=25
M2 N7 VL VSS VSS nch L=3u W=3u M=11
M3 AOUT VM N7 VSS nch L=1u W=3.u M=1
M4 AOUT VM N13 VDD pch L=1u W=3.u M=1
M5 N13 VH VDD VDD pch L=3u W=3.u M=1
.ENDS
```

```
.SUBCKT prC2 AIN AOUT VH VL VM
M1 N1 AIN GND GND pch L=0.5u W=8u M=100
M2 N1 VL VSS VSS nch L=3u W=3u M=11
M3 AOUT N2 N1 VSS nch L=1u W=3.u M=1
M4 AOUT VM N3 VDD pch L=1u W=3.u M=1
M5 N3 VH VDD VDD pch L=3u W=3.u M=1
M6 N2 N1 GND GND pch L=1u W=3u M=1
M7 N2 VL VSS VSS nch L=3u W=3u M=1
.ENDS
```

```
.SUBCKT prE AIN AOUT VH VM
M1 N4 AIN VSS VSS nch L=0.5u W=8u M=100
M2 AOUT VM N4 VSS nch L=1u W=3u M=1
M3 AOUT VM N3 VDD pch L=1u W=3.u M=1
M4 N3 VH VDD VDD pch L=3u W=3.u M=1
M5 N2 VH VDD VDD pch L=3u W=3.u M=9
M6 N4 VM N2 VDD pch L=1u W=3.u M=9
.ENDS
```

```

.SUBCKT prE2 AIN AOUT VH VHS VM
C1 N1 VSS 0.2pF
M2 N3 AIN VSS VSS nch L=0.5u W=8u M=100
M3 AOUT N1 N3 VSS nch L=1u W=3u M=1
M4 AOUT VM N5 VDD pch L=1u W=3.u M=1
M5 N5 VH VDD VDD pch L=3u W=3.u M=1
M6 N1 N3 VSS VSS nch L=1u W=1.2u M=1
M7 N2 VH VDD VDD pch L=3u W=3.u M=9
M8 N3 VM N2 VDD pch L=1u W=3.u M=9
M9 N6 VHS VDD VDD pch L=3u W=3u M=1
M10 N1 VM N6 VDD pch L=1u W=3u M=1
.ENDS

```

```

.SUBCKT prF AIN AOUT VH VL VM
M1 N4 AIN Vss Vss nch L=0.5u W=8u M=100
M2 N3 VH VDD VDD pch L=3u W=3.u M=11
M3 N1 VL Vss Vss nch L=1u W=3u M=1
M4 AOUT VM N1 Vss nch L=1u W=3u M=1
M5 N3 VM N4 Vss nch L=1u W=3u M=10
M6 AOUT VM N3 VDD pch L=1u W=3.u M=1
.ENDS

```



## A PrC2回路を用いた前置増幅器の構成例

以下には、PrC2、PrD、PrE2を用いた前置増幅回路の構成例を示します。直流帰還回路としては、FB1を用いています。PrB、PrC、PrE、PrFについては、該当する回路要素を置換することでその動作を確認することができますので、ここでは明示的に構成例を示していません。

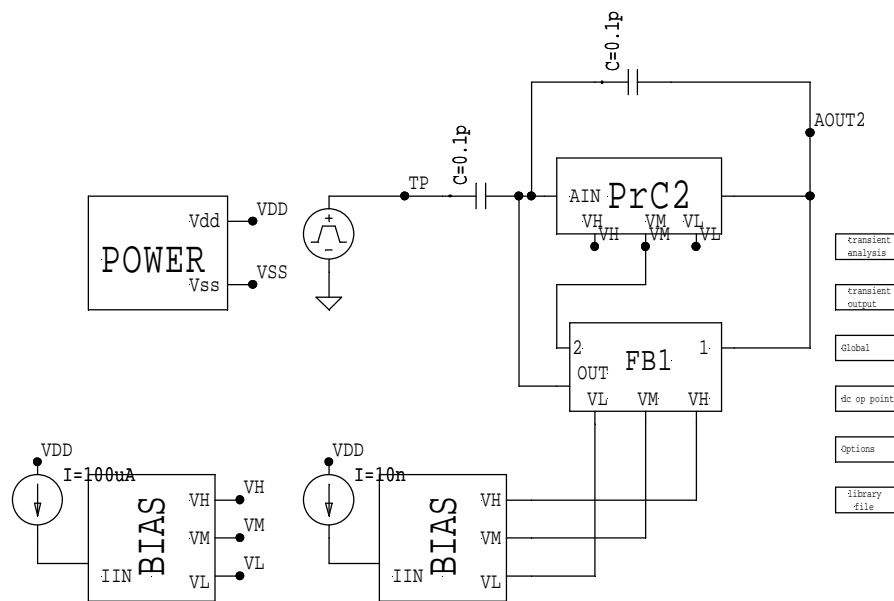


図 9: PrC2 回路を用いた前置増幅器の構成例

```
* Main circuit: TESTPRC2
XBIAS_1 N1 VH VL VM Gnd BIAS
XBIAS_2 N8 N17 N6 N5 Gnd BIAS
C1 N4 AOUT2 0.1p
C2 TP N4 0.1p
.op
XFB1_1 N4 N17 AOUT2 VM N6 N5 FB1
.global VSS VDD
.options reltol=1.e-7 abstol=1.e-14 numnd=1000 numnt=100 linearsolver=sparse
XPOWER_1 VDD VSS Gnd POWER
XprC2_1 N4 AOUT2 VH VL VM prC2
i3 VDD N1 100uA
i4 VDD N8 10n
v5 TP Gnd pulse(0 -50m 1u 10n 10n 100u 200u)
.tran 5n 20u
.print tran v(TP) v(AOUT2)
* End of main circuit: TESTPRC2
```

## B PrD回路を用いた前置増幅器の構成例

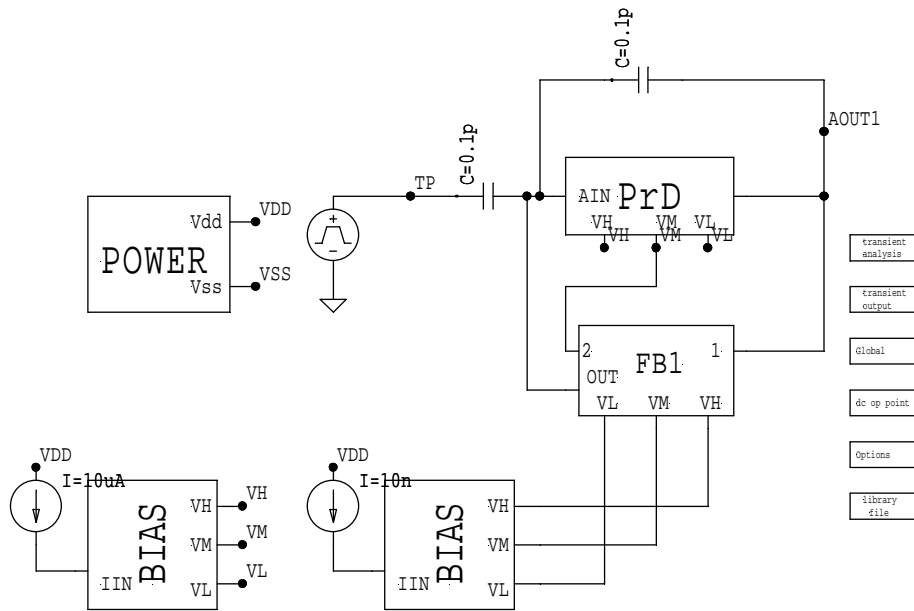


図 10: PrD 回路を用いた前置増幅器の構成例

```

* Main circuit: TESTPRD
XBIAS_1 N48 VH VL VM Gnd BIAS
XBIAS_2 N8 N29 N6 N5 Gnd BIAS
C1 N34 AOUT2 0.1p
C2 TP N34 0.1p
.op
XFB1_1 N34 N29 AOUT1 VM N6 N5 FB1
.global VSS VDD
.options reltol=1.e-8 abstol=1.e-16 numnd=1000 numnt=100 linearsolver=sparse
XPOWER_1 VDD VSS Gnd POWER
XprD_1 N34 AOUT2 VH VL VM prD
i3 VDD N48 10uA
i4 VDD N8 10n
v5 TP Gnd pulse(0 50m 1u 10n 10n 100u 200u)
.tran 5n 20u
.print tran v(TP) v(AOUT1)
* End of main circuit: TESTPRD

```

## C PrE2回路を用いた前置増幅器の構成例

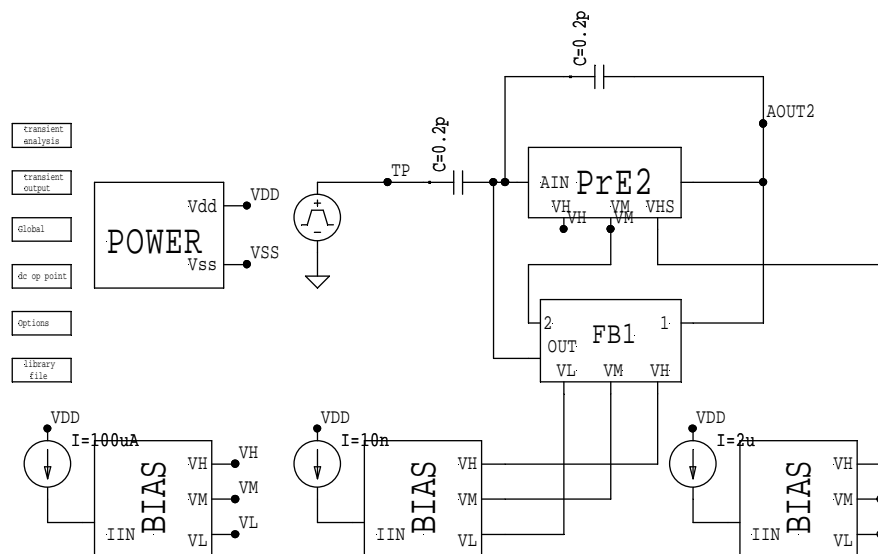


図 11: PrE2 回路を用いた前置増幅器の構成例

```

* Main circuit: TESTPRE2
XBIAS_1 N11 VH VL VM Gnd BIAS
XBIAS_2 N5 N3 N4 N2 Gnd BIAS
XBIAS_3 N7 N1 N10 N9 Gnd BIAS
C1 N8 AOUT2 0.2p
C2 TP N8 0.2p
.op
XFB1_1 N8 N3 AOUT2 VM N4 N2 FB1
.global VSS VDD
.options reltol=1.e-9 abstol=1.e-18 numnd=1000 numnt=100 linearsolver=sparse
XPOWER_1 VDD VSS Gnd POWER
XpreE2_1 N8 AOUT2 VH N1 VM prE2
i3 VDD N11 100uA
i4 VDD N5 10n
i5 VDD N7 2u
v6 TP Gnd pulse(0 20m 1u 1n 1n 100u 200u)
.tran 1n 10u
.print tran v(TP) v(AOUT2)
* End of main circuit: TESTPRE2

```

## D 来歴

- 第4章において定電流源のトランジスタのL値を $3\ \mu\text{m}$ としたことに伴う改修を行いました (H160818)。

以上