
高度センサー信号処理のための Analog-VLSI Open-IP(8)

池田 博一*

宇宙航空研究開発機構 宇宙科学研究本部

平成 16 年 8 月 21 日

概要

高機能高性能の Analog-VLSI を短期間で効率良く、しかも一定の確実性をもって開発することができるような礎を構築すべく、公開の IP として Analog-VLSI のビルディングブロックを提供します。第 8 章では、コンパレータ回路に関する IP を取り扱います。また、コンパレータ回路の閾値を微調するための DAC 回路、さらにはヒステリシス回路についてもそれらの IP を提示します。

目次

1	シングルエンド型コンパレータ回路の IP	131
2	差動型コンパレータ回路の IP	136
2.1	COMP4 回路	137
2.2	COMP5 回路	140
2.3	COMP6 回路	143
A	COMP3 の試験回路	146
B	COMP4 の試験回路	148
C	COMP5 の試験回路	150
D	COMP6 の試験回路	151
E	来歴	152

表目次

1	シングルエンド型コンパレータ回路の IP 一覧	131
2	差動型コンパレータ回路の IP 一覧	136

図目次

1	シングルエンド型コンパレータ回路 IP のシンボル一覧	132
---	-----------------------------	-----

*ikedada.hirokazu@jaxa.jp

2	COMP0 回路	132
3	COMP1 回路	133
4	COMP2 回路	133
5	HYS1 回路	134
6	COMP3 回路	134
7	差動型コンパレータ回路のシンボル一覧	136
8	DTA1 回路	137
9	HYS2 回路	137
10	COMP4 回路	138
11	DTA2R 回路	140
12	DTA2P 回路	141
13	COMP5 回路	142
14	DTA2 回路	143
15	COMPF 回路	144
16	COMP6 回路	145
17	DAC1 回路	146
18	COMP3 の試験回路	147
19	DAC2 回路	148
20	COMP4 の試験回路	149
21	COMP5 の試験回路	150
22	COMP6 の試験回路	151

1 シングルエンド型コンパレータ回路の IP

コンパレータ回路は、シングルエンド型、差動型の区別、低速、高速の区別、ラッチ回路の付き、不付き、ヒステリシス回路の付き、不付き等によって様々なバリエーションがあり得ます。

表 1 には、シングルエンド型で低速のコンパレータ回路の IP 一覧を示しました。対応する回路ブロックのシンボルは図 1 に掲げてあります。さらに、付録に COMP3 回路を DAC1 回路とともに用いるときの回路構成例を示しました。

表 1: シングルエンド型コンパレータ回路の IP 一覧

回路名称	用途	具体的適用
COMP0	低速シングルエンドコンパレータ	汎用
COMP1	低速シングルエンドコンパレータ	EDFF 付き
COMP2	低速シングルエンドコンパレータ	FF 不付き
COMP3	低速シングルエンドコンパレータ	HYS 回路付き

```
.SUBCKT COMP0 INN INP OUTB VH VL
M1 N1 N1 VSS VSS nch L=1u W=3u M=1
M2 VF N1 VSS VSS nch L=1u W=3u M=1
M3 OUTB VF VSS1 VSS nch L=1u W=3u M=1
M4 VN INP N9 VSS nch L=0.4u W=1.2u M=4
```

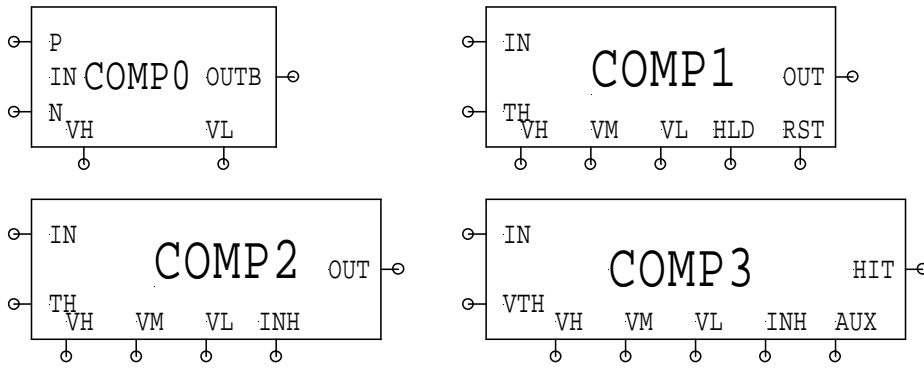


図 1: シングルエンド型コンパレータ回路 IP のシンボル一覧

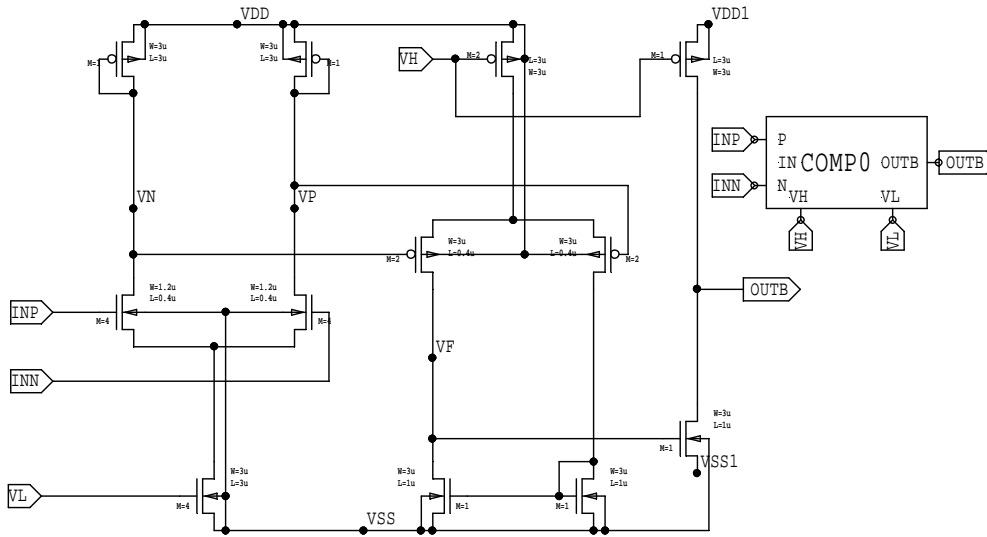


図 2: COMP0 回路

M5 VP INN N9 VSS nch L=0.4u W=1.2u M=4
M6 N9 VL VSS VSS nch L=3u W=3u M=4
M7 VP VP VDD VDD pch L=3u W=3u M=1
M8 VDD VH N6 VDD pch L=3u W=3u M=2
M9 VN VN VDD VDD pch L=3u W=3u M=1
M10 VDD1 VH OUTB VDD1 pch L=3u W=3u M=1
M11 VF VN N6 VDD pch L=0.4u W=3u M=2
M12 N1 VP N6 VDD pch L=0.4u W=3u M=2

.SUBCKT FB4B VH VIN1 VIN2 VL VLS VM
M1 VDD VH N7 VDD pch L=3u W=3.u M=1
M2 N7 VM VIN2 VDD pch L=1u W=3.u M=1

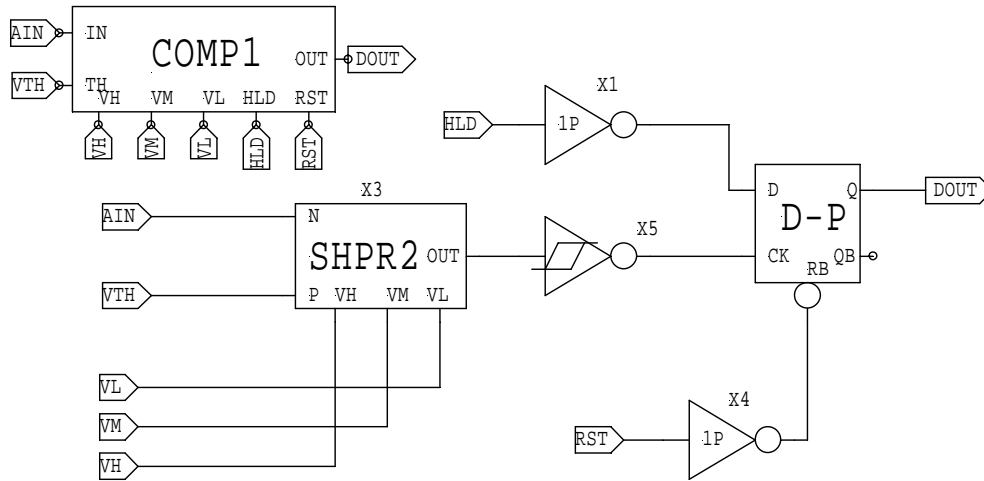


图 3: COMP1 回路

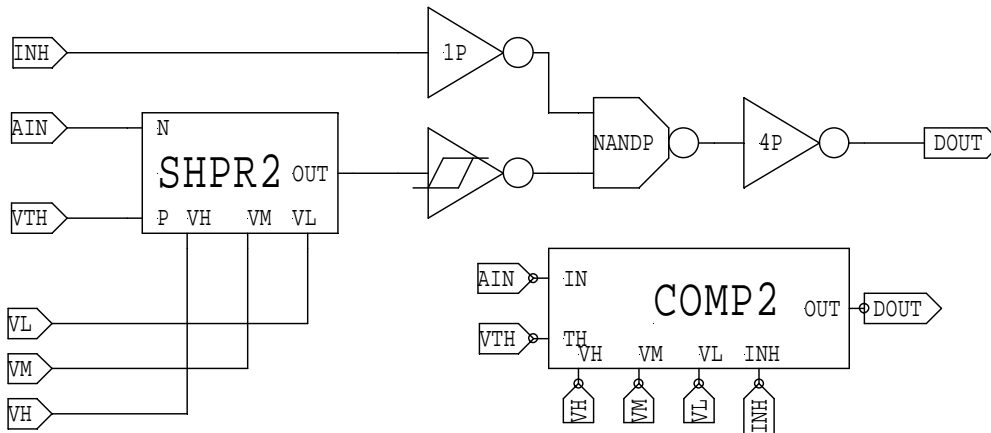


图 4: COMP2 回路

```

M3 VIN2 N3 N10 VIN2 pch L=0.4u W=3.u M=1
M4 N10 VL VSS VSS nch L=3u W=3u M=1
M5 N3 VL VSS VSS nch L=3u W=3u M=1
M6 VP1 N3 N3 VP1 pch L=0.4u W=3.u M=1
M7 VDD VIN1 VP1 VSS nch L=0.4u W=3u M=1
M8 VP1 VLS VSS VSS nch L=3u W=3u M=1
.ic v(VIN2,VP1)=0
.ENDS

.ENDS
.SUBCKT COMP1 AIN DOUT HLD RST VH VL VM VTH
X1 HLD N7 inv1P

```

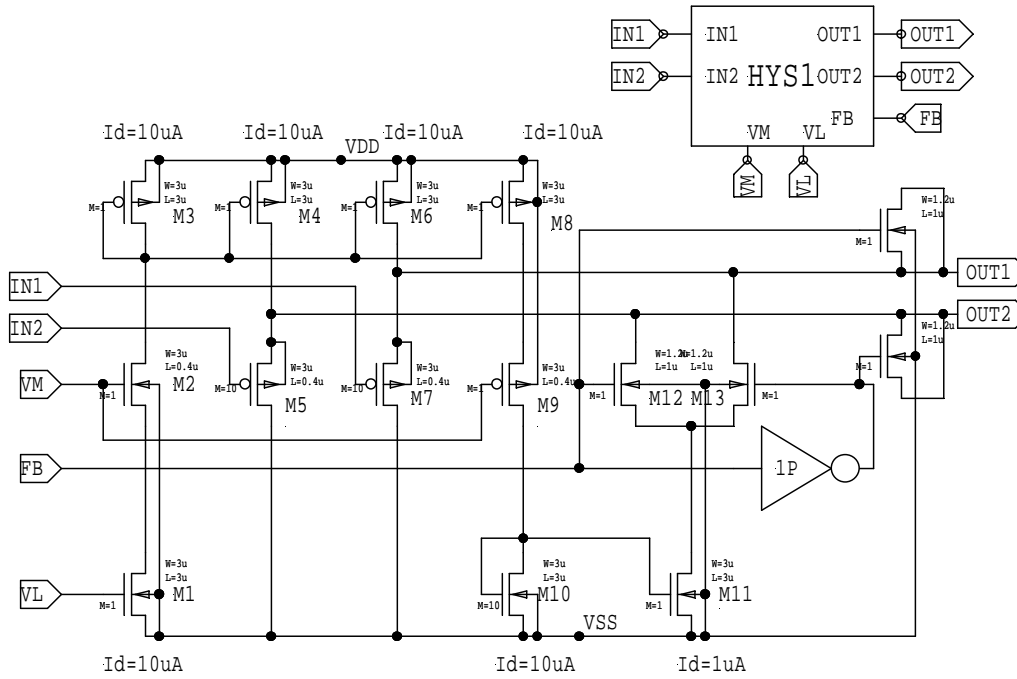


图 5: HYS1 回路

```
X3 N2 AIN VTH VH VL VM SHPR2
X4 RST N3 inv1P
X5 N2 N1 INV1S
XDFFP_1 N1 N7 DOUT N5 N3 DFFP
.ENDS
```

```
.SUBCKT COMP2 AIN DOUT INH VH VL VM VTH
X2 N2 AIN VTH VH VL VM SHPR2
X5 INH N3 inv1P
```

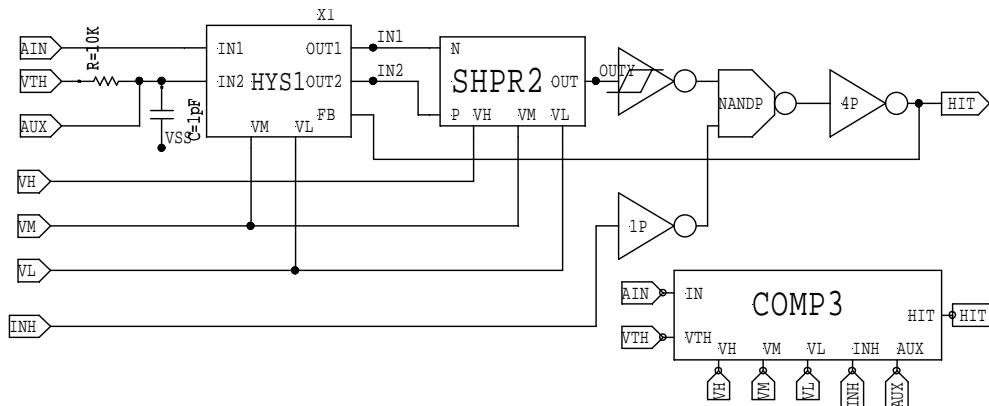


图 6: COMP3 回路

```
XINV1S_1 N2 N5 INV1S
Xinv4P_1 N4 DOUT inv4P
XNANDP_1 N3 N5 N4 NANDP
.ENDS
```

```
.SUBCKT HYS1 FB IN1 IN2 OUT1 OUT2 VL VM
Xinv1P_1 FB N52 inv1P
M1 N33 VL VSS VSS nch L=3u W=3u M=1
M2 N34 VM N33 VSS nch L=0.4u W=3u M=1
M3 N34 N34 VDD VDD pch L=3u W=3u M=1
M4 OUT2 N34 VDD VDD pch L=3u W=3u M=1
M5 VSS IN2 OUT2 OUT2 pch L=0.4u W=3u M=10
M6 OUT1 N34 VDD VDD pch L=3u W=3u M=1
M7 VSS IN1 OUT1 OUT1 pch L=0.4u W=3u M=10
M8 N37 N34 VDD VDD pch L=3u W=3u M=1
M9 N36 VM N37 VDD pch L=0.4u W=3u M=1
M10 N36 N36 VSS VSS nch L=3u W=3u M=10
M11 N35 N36 VSS VSS nch L=3u W=3u M=1
M12 OUT2 FB N35 VSS nch L=1u W=1.2u M=1
M13 OUT1 N52 N35 VSS nch L=1u W=1.2u M=1
M14 OUT1 FB OUT1 VSS nch L=1u W=1.2u M=1
M15 OUT2 N52 OUT2 VSS nch L=1u W=1.2u M=1
.ENDS
```

```
.SUBCKT COMP3 AIN AUX HIT INH VH VL VM VTH
X1 HIT AIN AUX IN1 IN2 VL VM HYS1
C1 AUX VSS 1pF
Xinv1P_2 INH N1 inv1P
XINV1S_1 OUTY N2 INV1S
Xinv4P_1 N4 HIT inv4P
XNANDP_1 N2 N1 N4 NANDP
R2 VTH AUX 10K TC=0.0, 0.0
XSHPR2_1 OUTY IN1 IN2 VH VL VM SHPR2
.ENDS
```

2 差動型コンパレータ回路のIP

差動型コンパレータ回路は、微小電流領域で比較的低速の応用に対応するものと、大電流領域で高速の応用に対応するものがあり得ます。後者では、10 ps 領域の時間分解能を射程に置いています。表 2 には、差動型のコンパレータ回路の IP 一覧を示しました。対応する回路ブロックのシンボルは図 7 に掲げてあります。さらに、付録のは、これらの回路を評価するための試験回路の例を示しました。

表 2: 差動型コンパレータ回路の IP 一覧

回路名称	用途	具体的適用
COMP4	中速差動型コンパレータ	低消費電力
COMP5	高速差動型コンパレータ	時間計測
COMP6	コンスタントフラクションコンパレータ	波高に依存しない時間計測

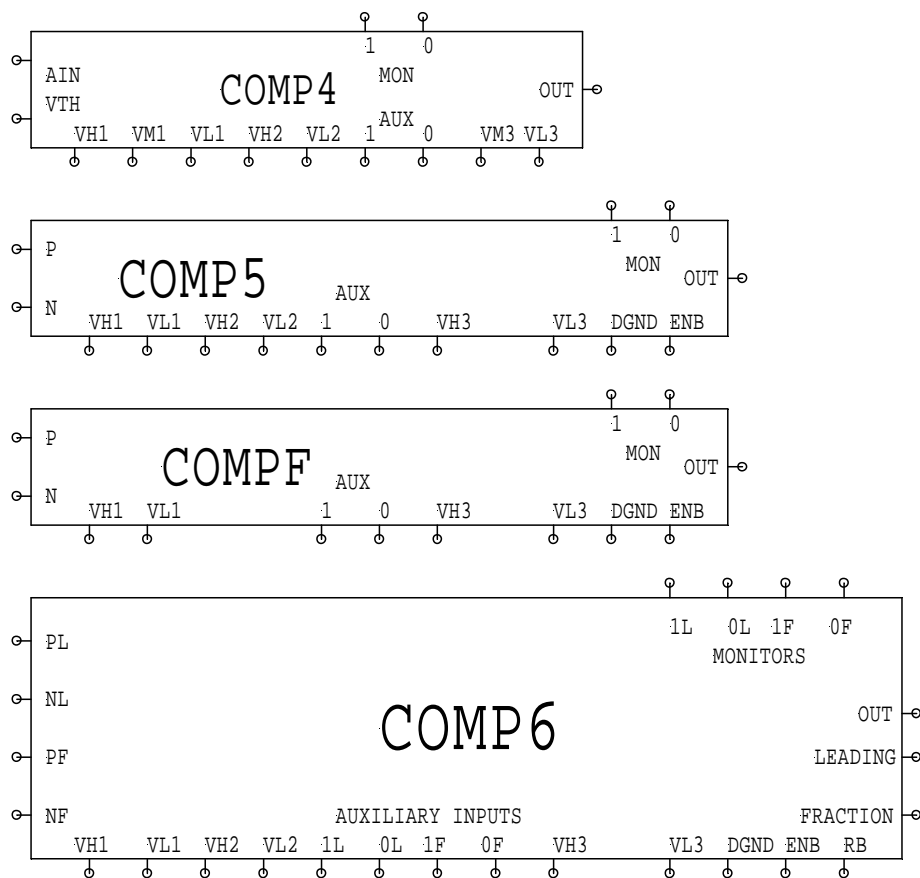


図 7: 差動型コンパレータ回路のシンボル一覧

2.1 COMP4 回路

COMP4 回路は、差動型のコンパレータであって、低速ではありますが、非常に低消費電力で動作するという特徴を有しています。

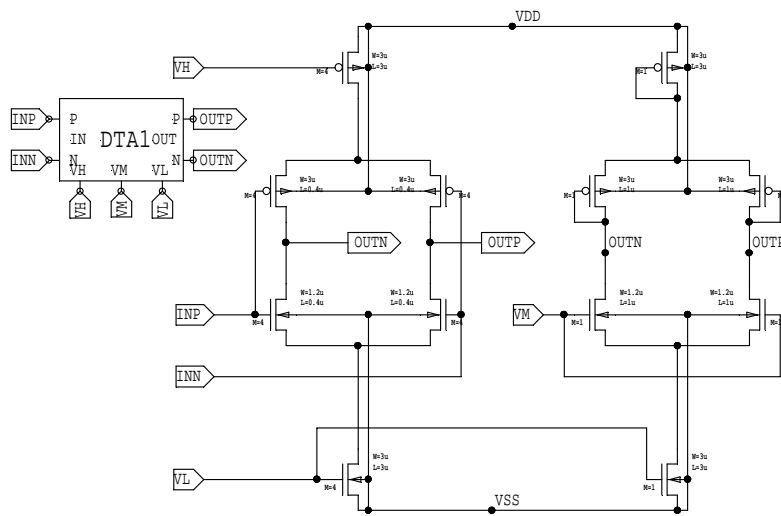


図 8: DTA1 回路

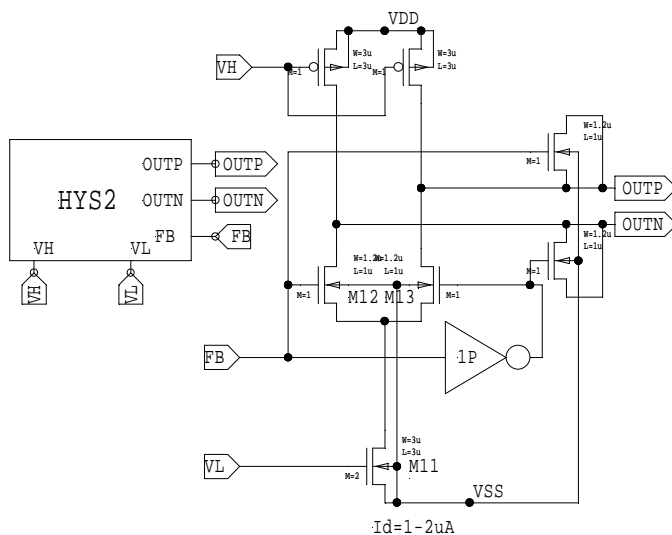


図 9: HYS2 回路

```
.SUBCKT DTA1 INN INP OUTN OUTP VH VL VM
M1 N35 VL VSS VSS nch L=3u W=3u M=1
M2 OUTP VM N35 VSS nch L=1u W=1.2u M=1
M3 OUTN VM N35 VSS nch L=1u W=1.2u M=1
M4 OUTN INP N34 VSS nch L=0.4u W=1.2u M=4
```

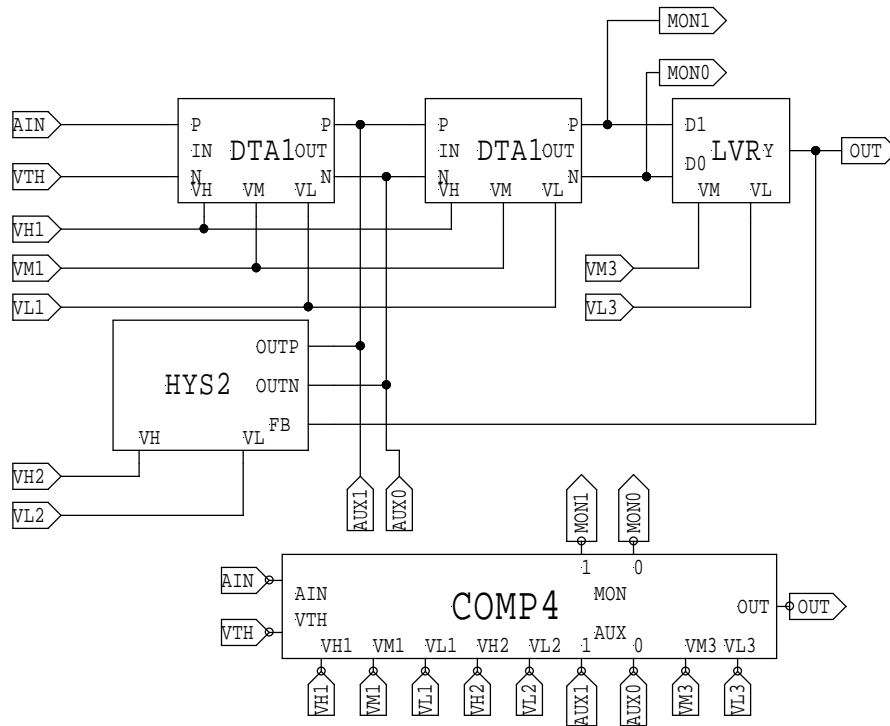



图 10: COMP4 回路

```

M5 OUTP INN N34 VSS nch L=0.4u W=1.2u M=4
M6 N34 VL VSS VSS nch L=3u W=3u M=4
M7 OUTP OUTP N37 VDD pch L=1u W=3u M=1
M8 N37 N37 VDD VDD pch L=3u W=3u M=1
M9 OUTN OUTN N37 VDD pch L=1u W=3u M=1
M10 OUTN INP N33 VDD pch L=0.4u W=3u M=4
M11 N33 VH VDD VDD pch L=3u W=3u M=4
M12 OUTP INN N33 VDD pch L=0.4u W=3u M=4
.ENDS

```

```

.SUBCKT HYS2 FB OUTN OUTP VH VL
Xinv1P_1 FB N12 inv1P
M1 N2 VL VSS VSS nch L=3u W=3u M=2
M2 OUTN FB N2 VSS nch L=1u W=1.2u M=1
M3 OUTP N12 N2 VSS nch L=1u W=1.2u M=1
M4 OUTP FB OUTP VSS nch L=1u W=1.2u M=1
M5 OUTN N12 OUTN VSS nch L=1u W=1.2u M=1
M6 OUTN VH VDD VDD pch L=3u W=3u M=1
M7 OUTP VH VDD VDD pch L=3u W=3u M=1
.ENDS

```

```
.SUBCKT COMP4 AIN AUXO AUX1 MONO MON1 OUT VH1 VH2 VL1 VL2 VL3 VM1 VM3 VTH
XDTA1_1 VTH AIN AUXO AUX1 VH1 VL1 VM1 DTA1
XDTA1_2 AUXO AUX1 MONO MON1 VH1 VL1 VM1 DTA1
XHYS2_1 OUT AUXO AUX1 VH2 VL2 HYS2
XLVR_1 MONO MON1 VL3 VM3 OUT LVR
.ENDS
```

2.2 COMP5 回路

COMP5 回路は、差動型のコンパレータ回路であって、高速信号を取り扱うことができるようになっているため、例えば光電子増倍管の出力信号を弁別するために用いることができます。

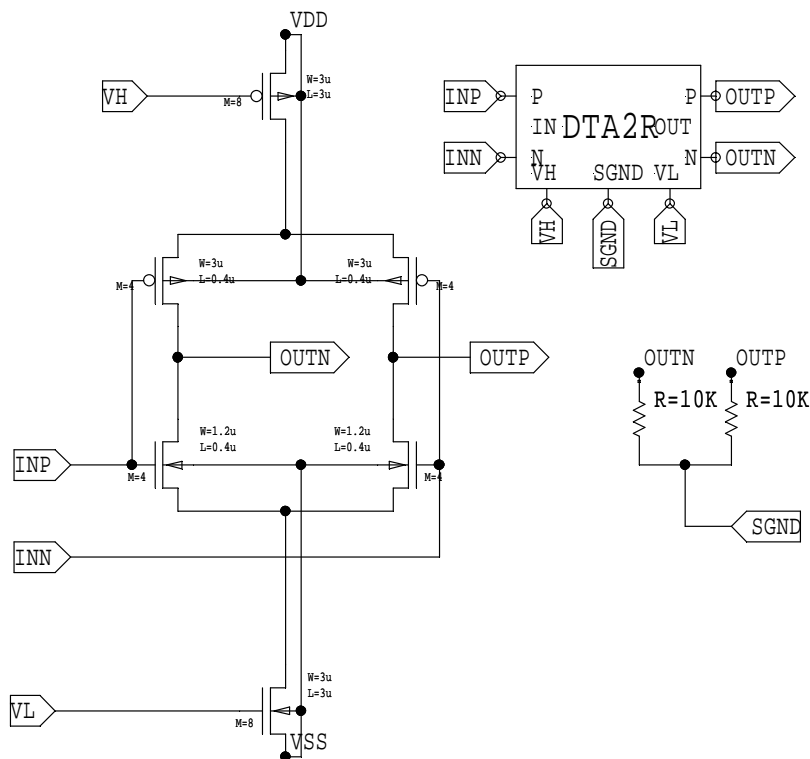


図 11: DTA2R 回路

```
.SUBCKT DTA2P INN INP OUTN OUTP SGND VH VL
M1 OUTN INP N2 VSS nch L=0.4u W=1.2u M=4
M2 OUTP INN N2 VSS nch L=0.4u W=1.2u M=4
M3 N2 VL VSS1 VSS nch L=3u W=3u M=8
M4 OUTN INP N1 VDD1 pch L=0.4u W=3u M=4
M5 N1 VH VDD1 VDD1 pch L=3u W=3u M=8
M6 OUTP INN N1 VDD1 pch L=0.4u W=3u M=4
R7 OUTN SGND 10K TC=0.0, 0.0
R8 OUTP SGND 10K TC=0.0, 0.0
.ENDS
```

```
.SUBCKT DTA2R INN INP OUTN OUTP SGND VH VL
M1 OUTN INP N3 VSS nch L=0.4u W=1.2u M=4
M2 OUTP INN N3 VSS nch L=0.4u W=1.2u M=4
M3 N3 VL VSS VSS nch L=3u W=3u M=8
M4 OUTN INP N2 VDD pch L=0.4u W=3u M=4
M5 N2 VH VDD VDD pch L=3u W=3u M=8
```

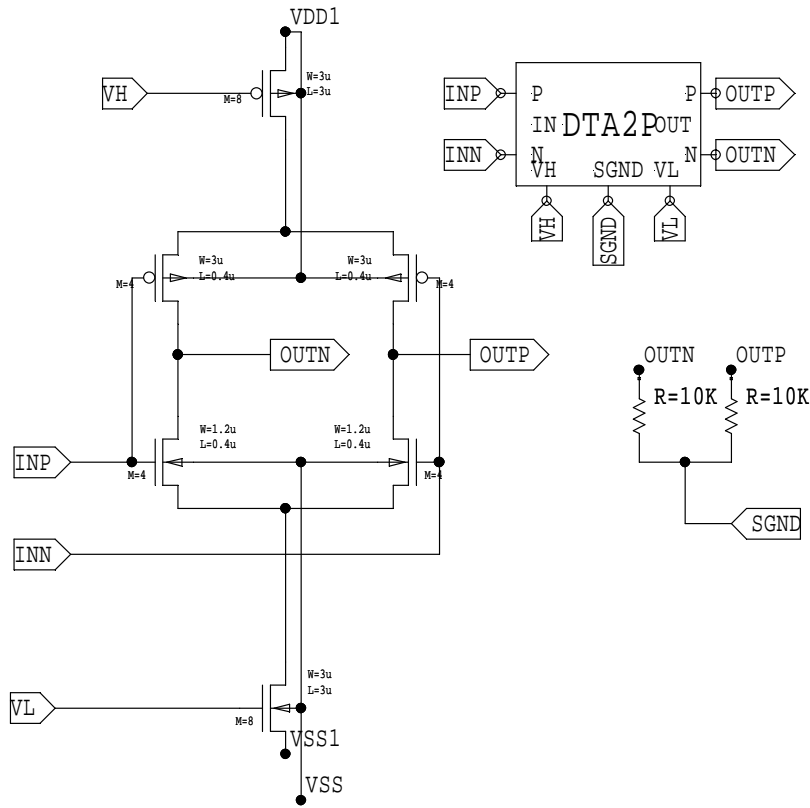


图 12: DTA2P 回路

```
M6 OUTP INN N2 VDD pch L=0.4u W=3u M=4
R7 OUTN SGND 10K TC=0.0, 0.0
R8 OUTP SGND 10K TC=0.0, 0.0
.ENDS
```

```
.SUBCKT HYS2 FB OUTN OUTP VH VL
Xinv1P_1 FB N12 inv1P
M1 N2 VL VSS VSS nch L=3u W=3u M=2
M2 OUTN FB N2 VSS nch L=1u W=1.2u M=1
M3 OUTP N12 N2 VSS nch L=1u W=1.2u M=1
M4 OUTP FB OUTP VSS nch L=1u W=1.2u M=1
M5 OUTN N12 OUTN VSS nch L=1u W=1.2u M=1
M6 OUTN VH VDD VDD pch L=3u W=3u M=1
M7 OUTP VH VDD VDD pch L=3u W=3u M=1
.ENDS
```

```
.SUBCKT COMP5 AUX0 AUX1 DGND ENB INN INP MONO MON1 OUT VH1 VH2 VH3 VL1 VL2 VL3
+ Gnd
XDTA2P_1 N2 N1 N3 N6 DGND VH3 VL3 DTA2P
```

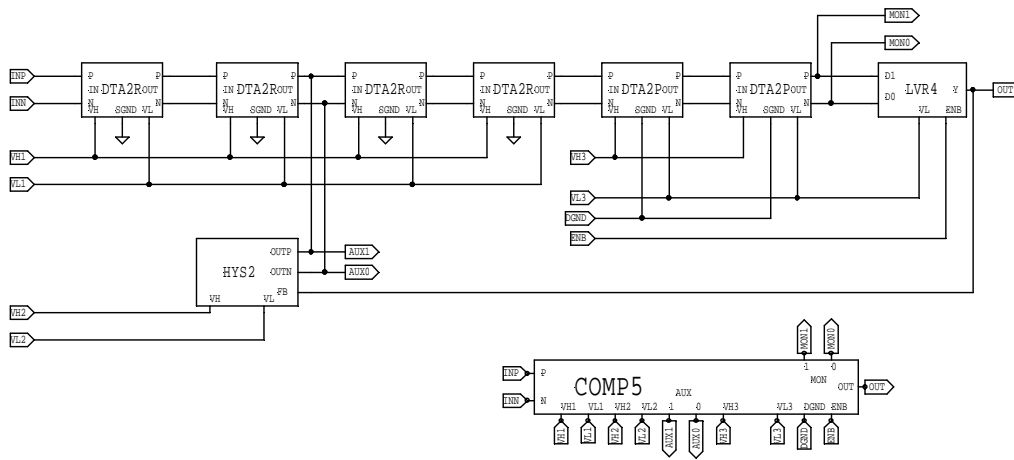


图 13: COMP5 回路

```

XDTA2P_2 N3 N6 MON0 MON1 DGND VH3 VL3 DTA2P
XDTA2R_1 INN INP N5 N4 Gnd VH1 VL1 DTA2R
XDTA2R_2 AUX0 AUX1 N8 N7 Gnd VH1 VL1 DTA2R
XDTA2R_3 N8 N7 N2 N1 Gnd VH1 VL1 DTA2R
XDTA2R_6 N5 N4 AUX0 AUX1 Gnd VH1 VL1 DTA2R
XHYS2_1 OUT AUX0 AUX1 VH2 VL2 HYS2
XLVR4_1 MON0 MON1 ENB VL3 OUT LVR4
.ENDS

```

2.3 COMP6 回路

COMP6 回路は、差動型のコンパレータ回路であって、コンスタントフラクションコンパレータの構成を採っているため、波高の変動に伴うジッターを抑制することができます。

内部的には、COMP5 回路によってリーディングエッジコンパレータの機能を持たせ、新たに設けた COMPF 回路によって波高に依存しないタイミング情報を抽出するようになっています。

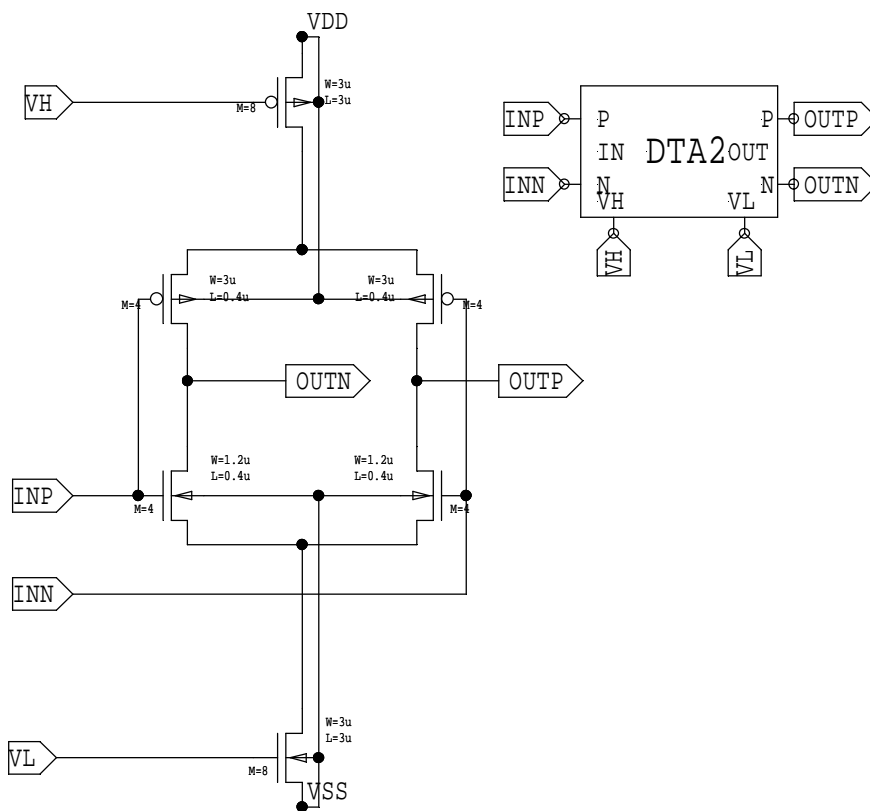


図 14: DTA2 回路

```
.SUBCKT DTA2 INN INP OUTN OUTP VH VL
M1 OUTN INP N3 VSS nch L=0.4u W=1.2u M=4
M2 OUTP INN N3 VSS nch L=0.4u W=1.2u M=4
M3 N3 VL VSS VSS nch L=3u W=3u M=8
M4 OUTN INP N2 VDD pch L=0.4u W=3u M=4
M5 N2 VH VDD VDD pch L=3u W=3u M=8
M6 OUTP INN N2 VDD pch L=0.4u W=3u M=4
.ENDS
```

```
.SUBCKT COMPF AUX0 AUX1 DGND ENB INN INP MONO MON1 OUT VH1 VH3 VL1 VL3 Gnd
C1 Gnd N8 0.5pF
C2 Gnd N1 0.5pF
XDTA2P_1 N3 N6 N5 N7 DGND VH3 VL3 DTA2P
```

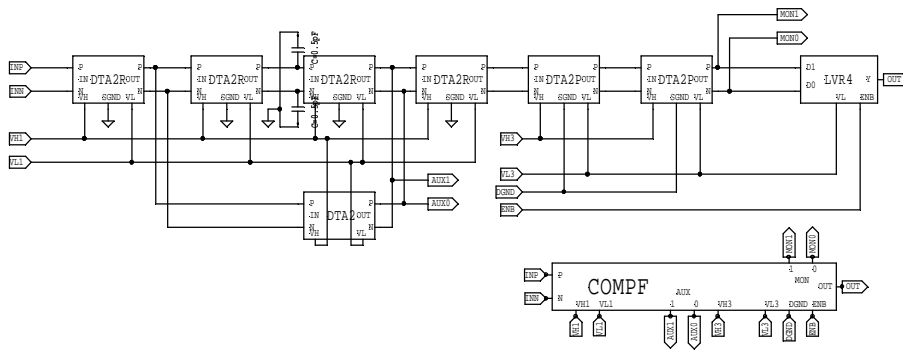


图 15: COMPF 回路

```

XDTA2P_2 N5 N7 MONO MON1 DGND VH3 VL3 DTA2P
XDTA2R_1 INN INP N9 N2 Gnd VH1 VL1 DTA2R
XDTA2R_2 N1 N8 AUX0 AUX1 Gnd VH1 VL1 DTA2R
XDTA2R_3 AUX0 AUX1 N3 N6 Gnd VH1 VL1 DTA2R
XDTA2R_6 N9 N2 N1 N8 Gnd VH1 VL1 DTA2R
XDTA2_1 N9 N2 AUX1 AUX0 VH1 VL1 DTA2
XLVR4_1 MONO MON1 ENB VL3 OUT LVR4
.ENDS

```

```

.SUBCKT COMP6 AUXOF AUXOL AUX1F AUX1L DGND ENB FOUT INNF INNL INPF INPL LOUT
+ MONOF MONOL MON1F MON1L OUT RB VH1 VH2 VH3 VL1 VL2 VL3 Gnd
XCOMP5_1 AUXOL AUX1L DGND ENB INNL INPL MONOL MON1L LOUT VH1 VH2 VH3 VL1 VL2 VL3
+ Gnd COMP5
XCOMPF_1 AUXOF AUX1F DGND ENB INNF INPF MONOF MON1F FOUT VH1 VH3 VL1 VL3 Gnd
+ COMPF
XDFF_1 FOUT LOUT OUT N1 RB DFF
.ENDS

```

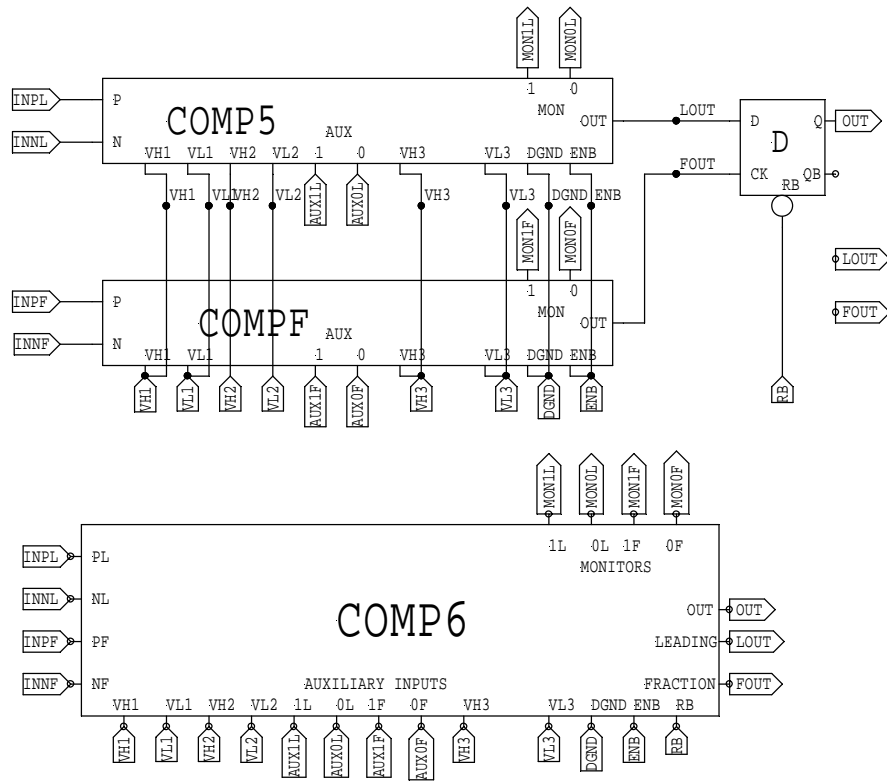


图 16: COMP6 回路

A COMP3の試験回路

COMP3 とシングルエンド型の DAC 回路とを組み合わせた試験回路を掲げておきます。

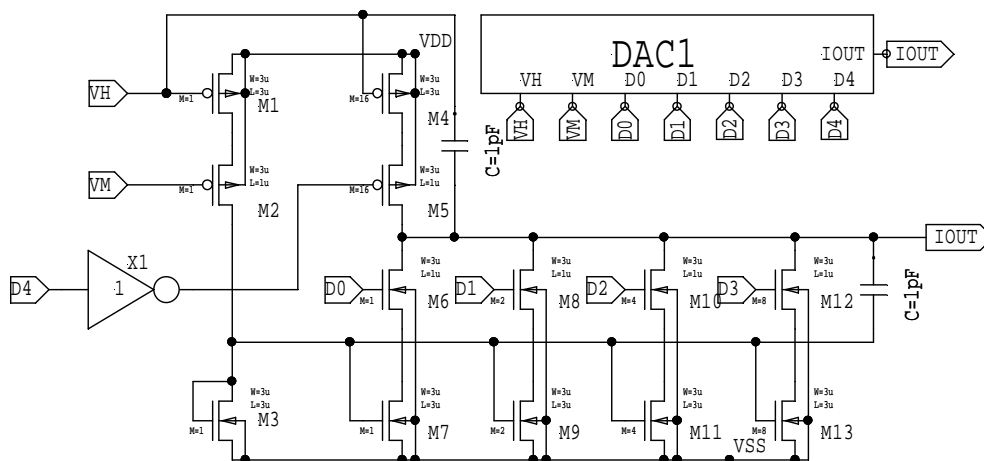


図 17: DAC1 回路

```
.SUBCKT DAC1 D0 D1 D2 D3 D4 IOUT VH VM
X1 D4 N20 inv1
C1 IOUT N36 1pF
C2 VH IOUT 1pF
M3 N33 VH VDD VDD pch L=3u W=3u M=1
M4 N36 VM N33 VDD pch L=1u W=3u M=1
M5 N36 N36 VSS VSS nch L=3u W=3u M=1
M6 N34 VH VDD VDD pch L=3u W=3u M=16
M7 IOUT N20 N34 VDD pch L=1u W=3u M=16
M8 IOUT D0 N39 VSS nch L=1u W=3u M=1
M9 N39 N36 VSS VSS nch L=3u W=3u M=1
M10 IOUT D1 N35 VSS nch L=1u W=3u M=2
M11 N35 N36 VSS VSS nch L=3u W=3u M=2
M12 IOUT D2 N38 VSS nch L=1u W=3u M=4
M13 N38 N36 VSS VSS nch L=3u W=3u M=4
M14 IOUT D3 N40 VSS nch L=1u W=3u M=8
M15 N40 N36 VSS VSS nch L=3u W=3u M=8
.ENDS
```

```
* Main circuit: TESTCOMP3
X1 AIN AUX HIT TL VH VL VM N1 COMP3
XBIAS_1 N22 VH VL VM Gnd BIAS
XBIAS_2 N13 N15 N8 N14 Gnd BIAS
XDAC_1 TL TL TL TL TL AUX N15 N14 DAC1
```

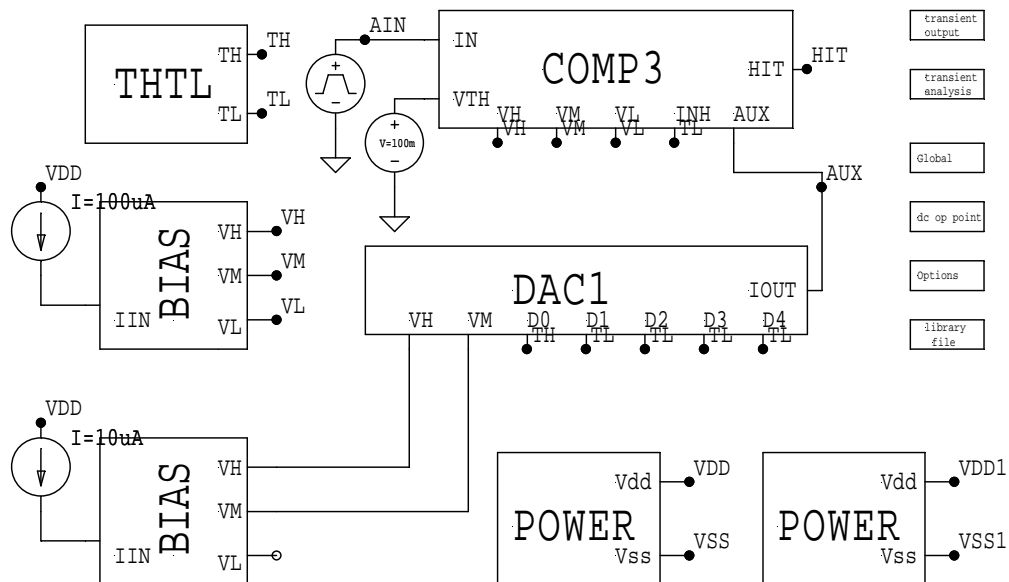


図 18: COMP3 の試験回路

```

.op
.global VSS VDD VSS1 VDD1
.options reltol=1.e-8 abstol=1.e-16 numnd=1000 numnt=100 linearsolver=sparse
XPOWER_1 VDD VSS Gnd POWER
XPOWER_2 VDD1 VSS1 Gnd POWER
i1 VDD N22 100uA
i2 VDD N13 10uA
v3 N1 Gnd 100m
v4 AIN Gnd pulse(0.0 200m 500n 500n 100n 10u)
XTHTL_1 TH TL THTL
.tran 10n 2u
.print tran v(AIN) v(HIT) v(AUX) v(X1.IN1) v(X1.IN2)
* End of main circuit: TESTCOMP3

```

B COMP4 の試験回路

COMP4 の試験回路では、差動型の D-to-A 変換回路 DAC2 を併せて提示しました。

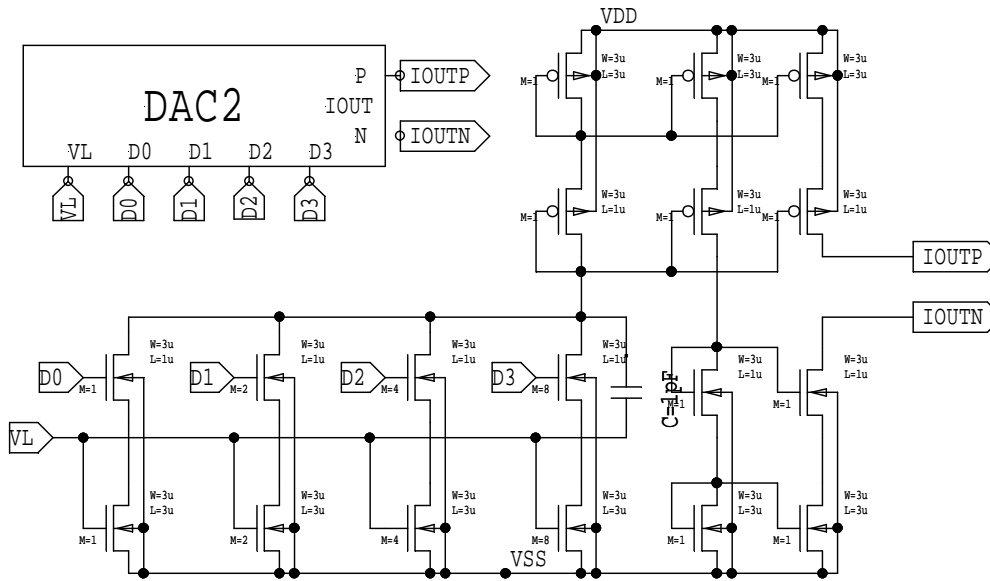


図 19: DAC2 回路

```
.SUBCKT DAC2 D0 D1 D2 D3 IOUTN IOUTP VL
M1 N68 D0 N72 VSS nch L=1u W=3u M=1
M2 N72 VL VSS VSS nch L=3u W=3u M=1
M3 N68 D1 N74 VSS nch L=1u W=3u M=2
M4 N74 VL VSS VSS nch L=3u W=3u M=2
M5 N68 D2 N69 VSS nch L=1u W=3u M=4
M6 N69 VL VSS VSS nch L=3u W=3u M=4
M7 N68 D3 N66 VSS nch L=1u W=3u M=8
M8 N66 VL VSS VSS nch L=3u W=3u M=8
M9 N75 N75 VDD VDD pch L=3u W=3u M=1
M10 N68 N68 N75 VDD pch L=1u W=3u M=1
M11 N67 N75 VDD VDD pch L=3u W=3u M=1
M12 N71 N68 N67 VDD pch L=1u W=3u M=1
M13 N71 N71 N70 VSS nch L=1u W=3u M=1
M14 N70 N70 VSS VSS nch L=3u W=3u M=1
M15 N73 N75 VDD VDD pch L=3u W=3u M=1
M16 IOUTP N68 N73 VDD pch L=1u W=3u M=1
M17 IOUTN N71 N76 VSS nch L=1u W=3u M=1
M18 N76 N70 VSS VSS nch L=3u W=3u M=1
C19 N68 VL 1pF
.ENDS
```

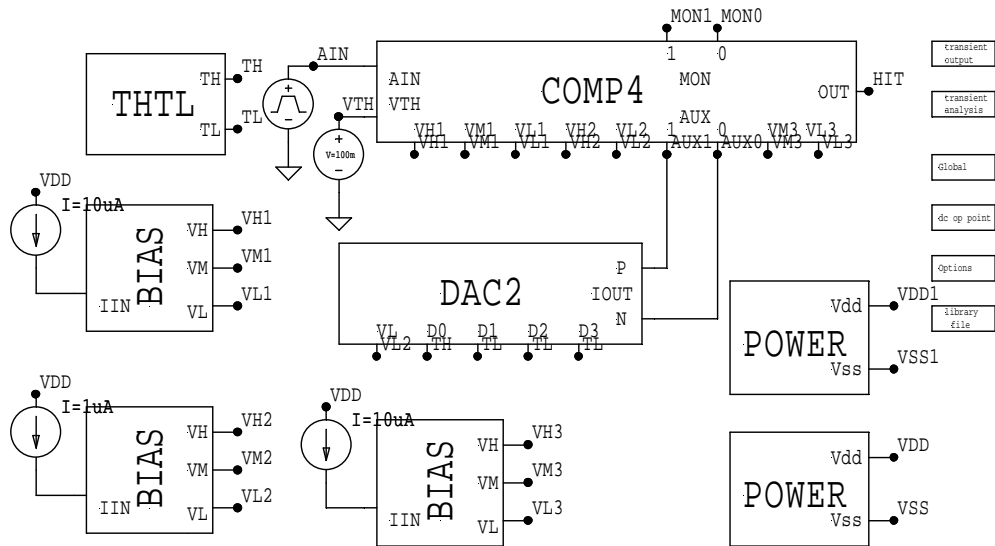


図 20: COMP4 の試験回路

```

* Main circuit: TESTCOMP4
XBIAS_1 N36 VH1 VL1 VM1 Gnd BIAS
XBIAS_2 N45 VH2 VL2 VM2 Gnd BIAS
XBIAS_3 N41 VH3 VL3 VM3 Gnd BIAS
XCOMP4_1 AIN AUX0 AUX1 MONO MON1 HIT VH1 VH2 VL1 VL2 VL3 VM1 VM3 VTH COMP4
XDAC2_1 TH TL TL TL AUX0 AUX1 VL2 DAC2
.op
.global VSS VDD VSS1 VDD1
.options reltol=1.e-8 abstol=1.e-16 numnd=1000 numnt=100 linearsolver=sparse
XPOWER_1 VDD VSS Gnd POWER
XPOWER_2 VDD1 VSS1 Gnd POWER
i1 VDD N36 10uA
i2 VDD N45 1uA
i3 VDD N41 10uA
v4 VTH Gnd 100m
v5 AIN Gnd pulse(0.0 120m 500n 500n 500n 100n 10u)
XTHTL_1 TH TL THTL
.tran 10n 2u
.print tran v(AIN) v(HIT) v(AUX0) v(AUX1) v(MON1) v(MONO)
* End of main circuit: TESTCOMP4

```

C COMP5の試験回路

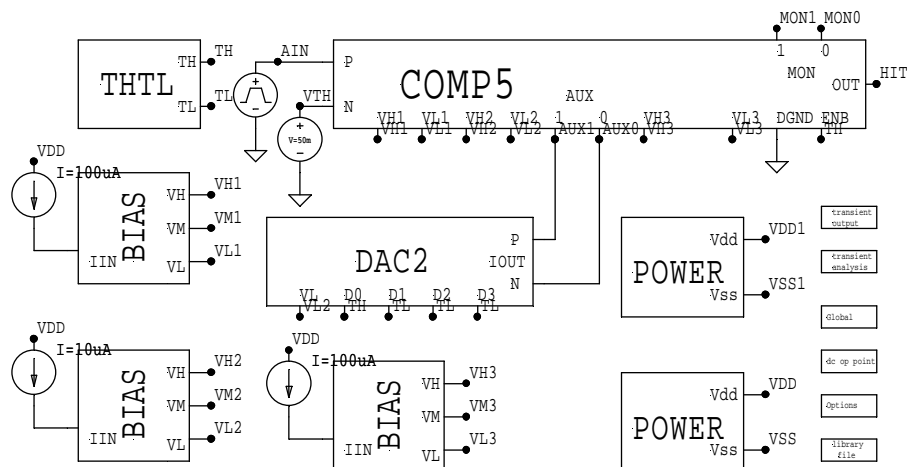


図 21: COMP5 の試験回路

```

* Main circuit: TESTCOMP5
XBIAS_1 N33 VH1 VL1 VM1 Gnd BIAS
XBIAS_2 N35 VH2 VL2 VM2 Gnd BIAS
XBIAS_3 N34 VH3 VL3 VM3 Gnd BIAS
XCOMP5_1 AUX0 AUX1 Gnd TH VTH AIN MON0 MON1 HIT VH1 VH2 VH3 VL1 VL2 VL3 Gnd
+ COMP5
XDAC2_1 TH TL TL TL AUX0 AUX1 VL2 DAC2
.op
.global VSS VDD VSS1 VDD1
.options reltol=1.e-8 abstol=1.e-16 numnd=1000 numnt=100 linearsolver=sparse
XPOWER_1 VDD VSS Gnd POWER
XPOWER_2 VDD1 VSS1 Gnd POWER
i1 VDD N33 100uA
i2 VDD N35 10uA
i3 VDD N34 100uA
v4 VTH Gnd 50m
v5 AIN Gnd pulse(0.0 100m 500n 500n 500n 100n 10u)
XTHTL_1 TH TL THTL
.tran 10n 2u
.print tran v(AIN) v(HIT) v(AUX0) v(AUX1) v(MON1) v(MONO)
* End of main circuit: TESTCOMP5

```

D COMP6の試験回路

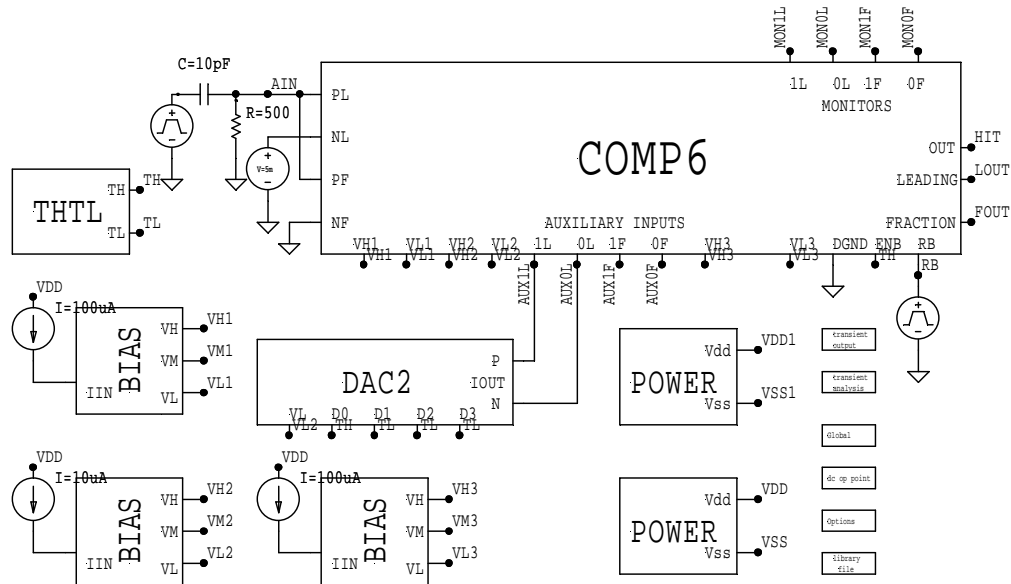


図 22: COMP6 の試験回路

* Main circuit: TESTCOMP6

XBIAS_1 N40 VH1 VL1 VM1 Gnd BIAS

XBIAS_2 N42 VH2 VL2 VM2 Gnd BIAS

XBIAS_3 N44 VH3 VL3 VM3 Gnd BIAS

XCOMP6_1 AUX0F AUX0L AUX1F AUX1L Gnd TH Gnd N33 AIN AIN MON0F MON0L MON1F MON1L

+ HIT RB VH1 VH2 VH3 VL1 VL2 VL3 VM3 Gnd COMP6

XDAC2_1 TH TL TL TL AUX0L AUX1L VL2 DAC2

.op

.global VSS VDD VSS1 VDD1

.options re1tol=1.e-9 ab1tol=1.e-18 numnd=1000 numnt=100 linearsolver=sparse

XPOWER_1 VDD VSS Gnd POWER

XPOWER_2 VDD1 VSS1 Gnd POWER

i1 VDD N40 100uA

i2 VDD N42 10uA

i3 VDD N44 100uA

v4 N33 Gnd 0.5m

v5 AIN Gnd pulse(0.0 5m 50n 1n 20n 0.5n 10u)

v6 RB Gnd pulse(-1.65 1.65 10n 1n 1n 100u 200u)

XTHTL_1 TH TL THTL

.tran 0.01n 100n

.print tran v(RB) v(AIN) v(HIT) v(AUX0L) v(AUX1L) v(AUX1F)

+ v(AUX0F) v(MON1L) v(MON0L) v(MON1F) v(MON0F)

E 来歴

- 第4章において定電流源のトランジスタのL値を $3\mu m$ としたことに伴う改修を行いました (H160821)。
- LVR2、THTL回路についての記載は、第5章に移しました (H160821)。
- COMP1、COMP2、COMP3の各回路の出力部にシュミットトリガー回路を設けました (H160821)。
- DT2Rの亜種として、デジタル電源用いるものとしてDTA2Pを用意しました。COMP5、COMPFの後段において持ちいられています (H160821)。
- COMP5、COMPFの最終段には、高速レシーバ回路LVR4を用いることにしました (H160821)。
- 汎用コンパレータCOMP0を追加しました (H160831)。

以上